

AT90S1200

特徴

統合 AVR RISC アーキテクチャ

高パフォーマンス低消費電力の RISC アーキテクチャ

12MHz で 12MIPS の処理量

SPI シリアルインターフェイス付き

アナログコンパレータ内蔵

内部クロックモードに切り替え可能

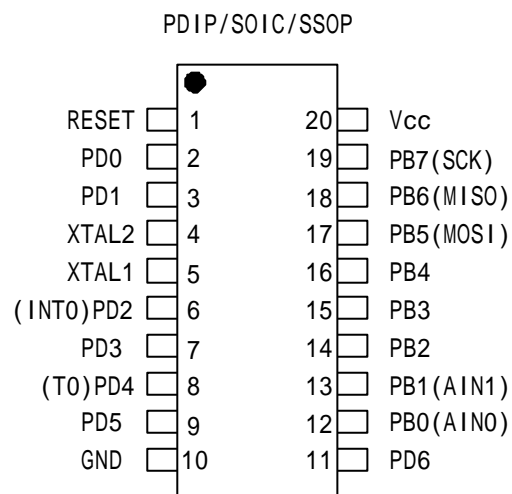
速度の目安 0 ~ 4MHz まで動作(AT90S1200-4)

 0 ~ 12MHz まで動作(AT90S1200-12)

説明

AT90S1200 は AVR RISC アーキテクチャに基づいた低消費電力 C-MOS 8 ビットマイクロコントローラです。単一サイクルの強力な命令を実行することにより、AT90S1200 は MHz あたり 1 MIPS に及ぶ処理量を実現しており、システム設計をする上で、消費電力とプロセス速度を最適化することができます。

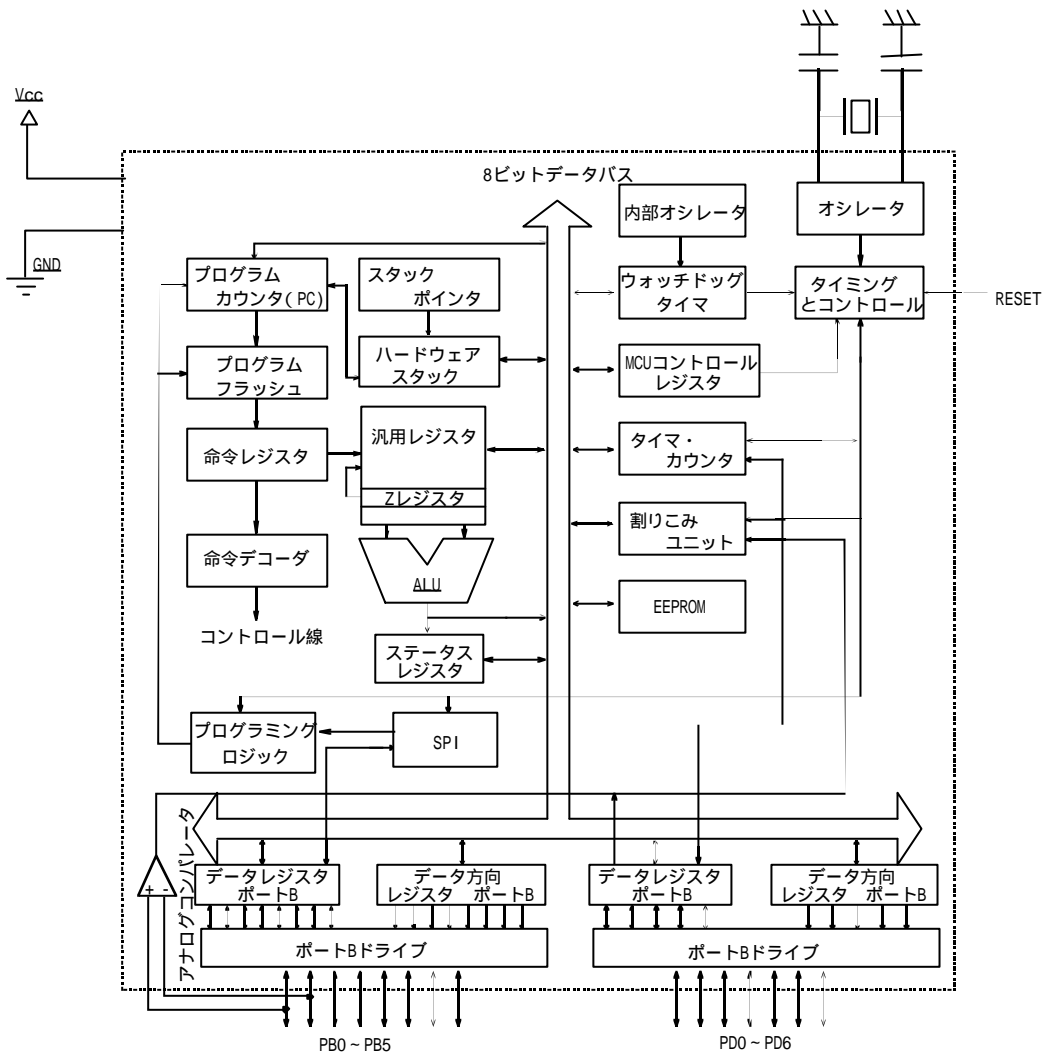
ピン配置



AT90S1200

AVRの核は32の汎用レジスタを持った強力な命令と結びついています。全32レジスタは、算術演算ユニット（ALU）に直接つながって、2つの独立なレジスタが1クロックサイクルで実行される単一の命令でアクセスできます。結果を出すためのアーキテクチャは、従来のCISCマイクロコントローラよりも10倍速い処理量を実現し、コード効率が良くなっています。

図1 AT90S1200のブロックダイアグラム



アーキテクチャは極端に高密度なアセンブラコードプログラムだけでなく高レベルの言語も効率的にサポートしています。

AT90S1200には次のような特徴があります。1kバイトの内部プログラミング可能なフラッシュ、64バイトのEEPROM、15の汎用I/Oライン、32個の汎用レジスタ、内部・外部割りこみ、内部クロックを使ったプログラム可能なウォッチドッグタイマ、プログラムのダウンロードのためのSPIシリアルポートそして、ソフトウェアから選択可能な2つの省電力モードがあります。アイドルモードではレジスタ、タイマ/カウンタ、ウォッチドッグ、

AT90S1200

割りこみシステムが機能し続けている状態で、CPU が停止しています。パワーダウンモードはレジスタの内容を保存し、次の割りこみまたはハードウェアによるリセットが行われるまで、水晶振動子を凍結、他の機能を無効にします。

デバイスは Atmel 高密度不揮発性メモリ技術を使って製造されています。内蔵フラッシュは SPI シリアルインターフェイスをとおして、または不揮発性メモリプログラマによって、プログラムメモリを内部で再プログラミングすることができます。8 ビット RISC CPU をモノリシックチップの ISP フラッシュと結びつけて、Atmel AT90S1200 は、多くの組みこんで制御する応用に対して非常に柔軟で、コスト効率のよい強力なマイクロコントローラとなります。

AT90S1200 AVR はプログラムパッケージ・システム開発ツールをサポートしています。開発ツールはマクロアセンブラ、プログラムデバッガ/シュミレータ、内蔵エミュレータ、評価キットを含みます。

AT90S1200 のピンの説明

Vcc 電源供給ピン

GND グランドピン

PORTB (PB0 ~PB2)

PORTB は 8 ビット双方向 I/O ポートです。ポートピンは内蔵プルアップ抵抗 (それぞれのビットで ON-OFF 選択できます。) があります。PB0 と PB1 はそれぞれ、内蔵アナログコンパレータの正入力(AIN0)と負入力(AIN1)として機能します。ポート B 出力バッファは 20mA までシンクでき、LED ディスプレイを直接駆動できます。PB0 ~PB7 のピンが入力として使われ、外部的に L レベルされている場合、プルアップ抵抗がアクティブになったときに電流源となります。ポート B ピンはリセット条件がアクティブになった時、クロックが動いていないときでもトライステートになります。

ポート B は AT90S1200 の特別機能は 30 の表にあります。

RESET

リセット入力。外部リセットは、たとえクロックが動いていないときでも RESET ピンに L レベルを 50ns 以上かけると起こります。短いパルスでは、リセットが生成される保証はありません。

XTAL1

振動子の反転増幅器への入力または内部クロック動作回路への入力

XTAL2

振動子の反転増幅器からの出力

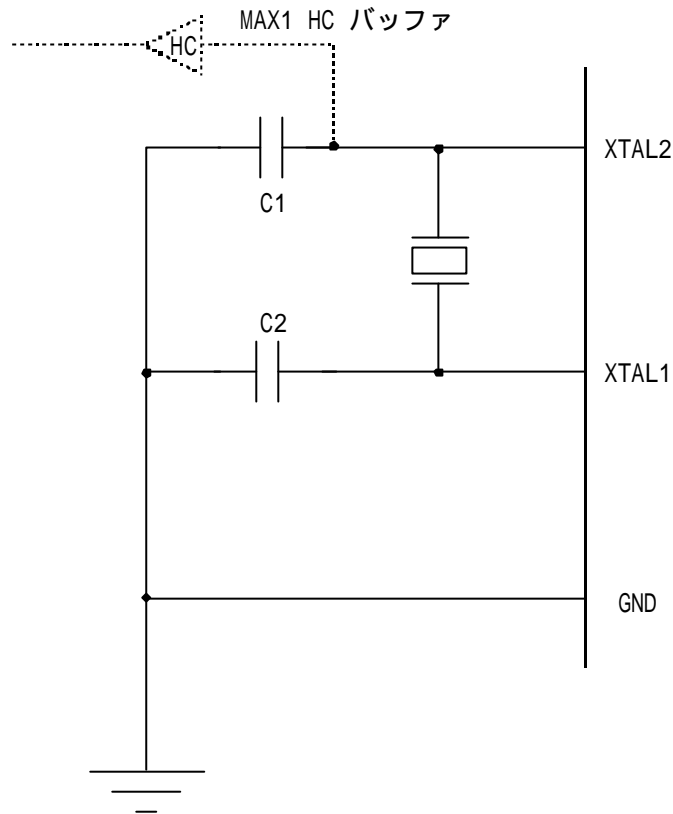
水晶振動子

XTAL1 と XTAL2 は反転増幅器のそれぞれ入力と出力になっており、図 2 に示されているように内蔵オシレータのために構成されています。水晶またはセラミック共鳴子を使いま

AT90S1200

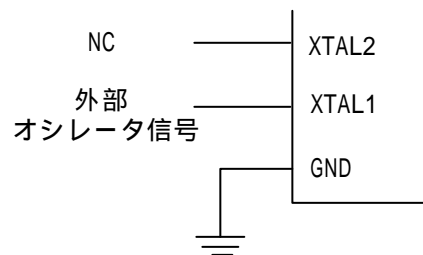
す。外部クロックから駆動する場合は図 3 に示してあるように、XTAL1 を駆動用に、XTAL2 を接続しない状態にしておいてください。

図 2 オシレータの接続



注意：外部デバイスのクロックとして MCU オシレータを使う場合は、図のように HC バッファを接続していなければなりません。

図 3 外部クロック駆動のためのピン配置



内蔵 RC オシレータ

1MHz 固定で動く内蔵 RC オシレータは MCU のクロックソースとして選択できます。有効になった場合、AT90S1200 は外付け部品無しで動作します。フラッシュメモリ中のコントロールビット RECN がプログラム(=0)されている場合、内蔵 RC オシレータがクロックソ

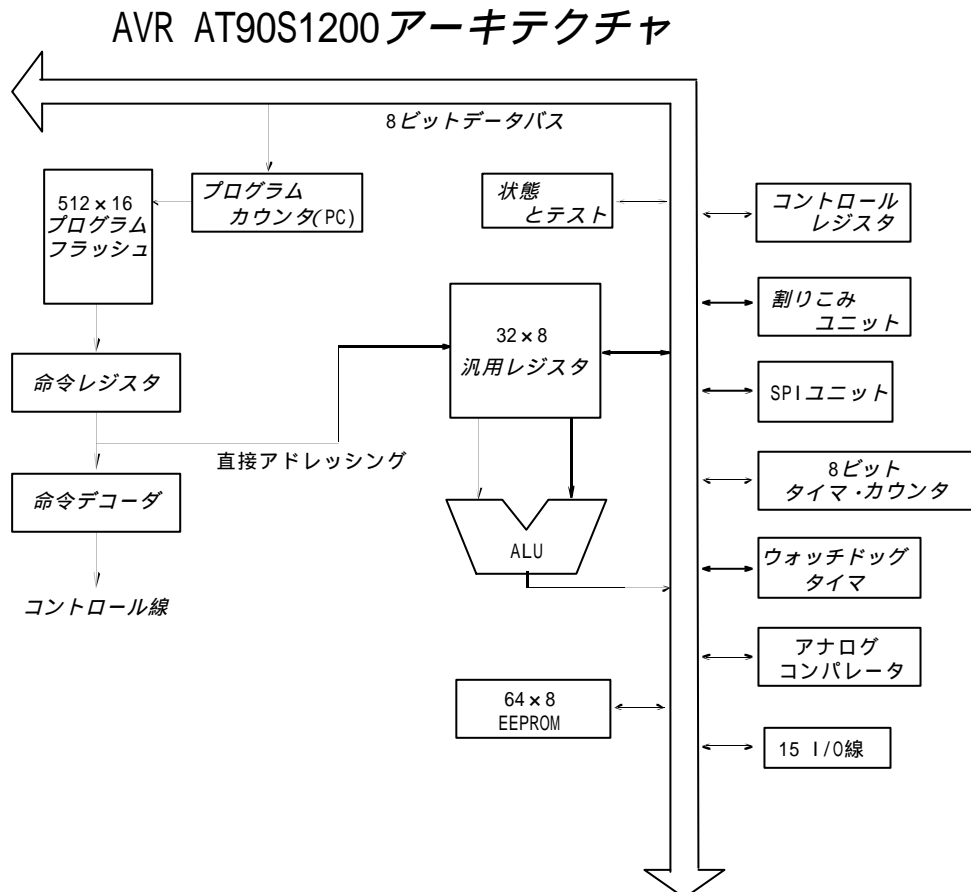
AT90S1200

ースとして選択されます。AT90S1200 は通常このビットをプログラムしない状態(=1)で出荷しています。このビットがプログラムされている部品は、AT90S1200A で注文することができます。RCEN ビットはパラレルプログラミングのみによって変更することができます。内蔵 RC オシレータをシリアルプログラムのダウンロードに使う場合は、まず RCEN ビットをパラレルプログラミングモードでプログラムしてください。

アーキテクチャの概要

早いアクセスをもつレジスタファイルの概念は、単一クロックサイクルのアクセス時間を持った 32×8 ビット汎用レジスタを含んでいます。これは、1 クロックサイクルの間に 1 つの ALU (算術演算ユニット) の演算が実行されます。レジスタファイルから 2 つのオペランドが出力され、演算が実行され結果が 1 クロックサイクルで、再びたくわえられます。

図 4 AT90S1200 AVR RISC アーキテクチャ



ALU レジスタ同士またはレジスタと定数での算術・論理機能をサポートしています。単一のレジスタ演算は ALU 中で実行されます。図 4 では AT90S1200 AVR RISC マイクロコン

AT90S1200

トローラ アーキテクチャを示しています。AVR はハーバードアーキテクチャを持っており、プログラムとデータ用のメモリとバスが分かれています。プログラムは2段階のパイプラインでアクセスされます。1つの命令が実行されると、プログラムメモリから次の命令が前もって取り込まれ（フェッチされ）ます。この概念はクロックサイクル毎に実行される命令が有効になります。プログラムメモリは内部でダウンロードできるフラッシュメモリです。

比較ジャンプで呼出し命令で全 512 のアドレス空間は直接アクセスできます。全ての AVR 命令は単一の 16 ビットワードの型を持っています。プログラムメモリアドレスは 16 または 32 ビット命令を含んでいます。

割りこみまたはサブルーチン呼び出しの間、プログラムカウンタ（PC）リターンアドレスがスタックに蓄えられます。スタックは3段階の深さを持つハードウェアスタックで、サブルーチン呼び出しや、割りこみのために作られています。

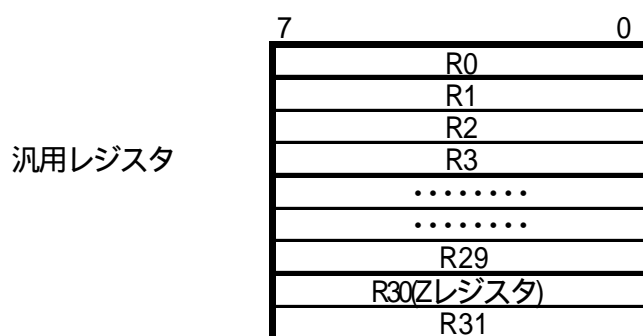
I/O メモリ空間は、コントロールレジスタ、タイマ/カウンタ、A/D コンバータと他の I/O 機能のような CPU 周辺機能用に 64 アドレスが含まれています。AVR アーキテクチャのメモリ空間は全てリニアで規則正しいメモリマップになっています。

柔軟な割りこみモジュールは I/O 空間中でコントロールレジスタを持っており、ステータスレジスタ中に付属のグローバル割りこみ有効ビットを持っています。異なる割りこみはプログラムメモリの始めにある割りこみベクトル中にいろいろな割りこみベクトルを持っています。割りこみベクトルのアドレスが低いほど、割りこみベクトルの優先順位が高くなります。

汎用レジスタファイル

図 5 では CPU 中の 32 汎用レジスタの構造を示しています。

図 5 AVR CPU 汎用レジスタ



命令一覧のレジスタ動作命令は全レジスタに対して直接・単サイクルアクセスを持っています。唯一の例外は、定数とレジスタ間の5つの定数算術・論理命令 SBCI、SUBI、CPI、ANDI、ORI、定数データを直接ロードする LDI です。これらの命令は、後半 R16~R31 のレジスタファイルに適用されます。汎用の SBC,SUB,CP,AND,OR と他の2レジスタ間ま

AT90S1200

たは 1 レジスタ上のの演算は全レジスタファイルに対して適用されます。
レジスタ 30 はレジスタファイルの間接アドレスポインタとして働いています。

ALU 算術論理ユニット

高能力の AVR ALU は全 32 汎用レジスタと直接つながって動作します。1 クロックサイクル以内で、ALU はレジスタファイル中のレジスタ間で実行されます。ALU の演算は 3 つの主なカテゴリ算術・論理・ビット機能に分けられます。

内部プログラム可能なフラッシュプログラムメモリ

AT90S1200 は 1k バイトの内蔵 In-system プログラム可能フラッシュメモリをプログラム保存用を含んでいます。全命令は 16 ビットであるため、フラッシュは 512*16 として組織されます。フラッシュメモリの耐久性は 1000 回の書きこみ読み込みサイクルまでになっています。

AT90S1200 プログラムカウンタ (PC) は 9 ビットの幅で、512 のプログラムメモリアドレスのアドレッシングを行います。フラッシュデータのダウンロードの詳細は 38 を見てください。

プログラム・データアドレッシングモード

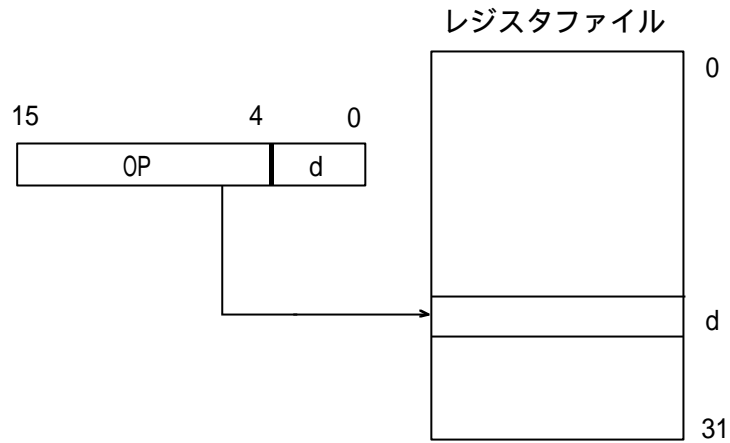
AT90S1200 AVR RISC マイクロコントローラは強力で効率の良いアドレッシングモードをサポートしています。この節では、AT90S1200d デサポートされているアドレッシングモードについて説明しています。図において、OP は命令ワードに対する動作コードのことです。単順に、すべての図がアドレッシングビットの正確な位置を示しているわけではありません。

AT90S1200

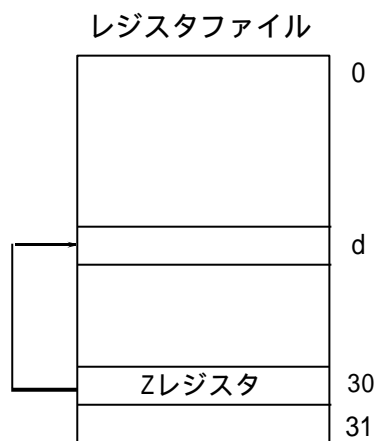
直接レジスタ、単一レジスタ Rd

図 6 直接単一レジスタアドレッシング

オペランドはレジスタ d(Rd)に含まれています。



間接レジスタ

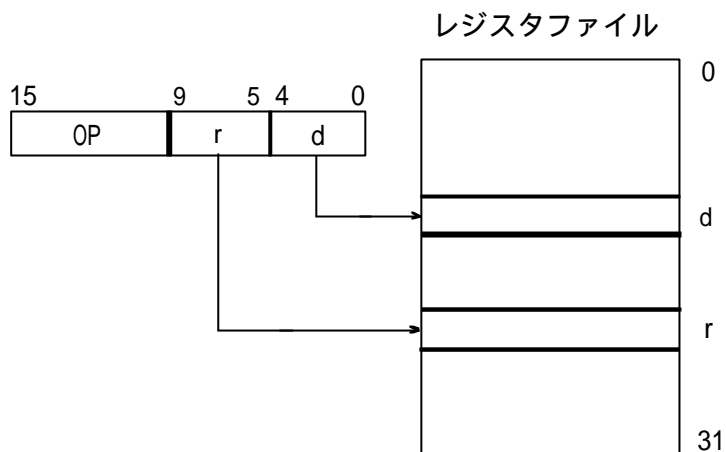


アクセスされるレジスタは Z レジスタ(R30)によって指定されます。

AT90S1200

直接レジスタ、2つのレジスタ Rd と Rr

図8 直接アドレッシング、2つのレジスタ

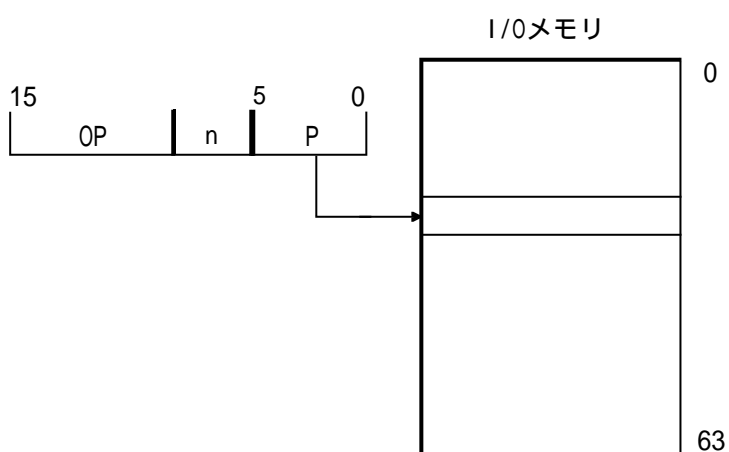


オペランドはレジスタ r(Rr)と d(Rd)に含まれています。結果は d に蓄えられます。

直接 I/O

図9 I/O 直接アドレッシング

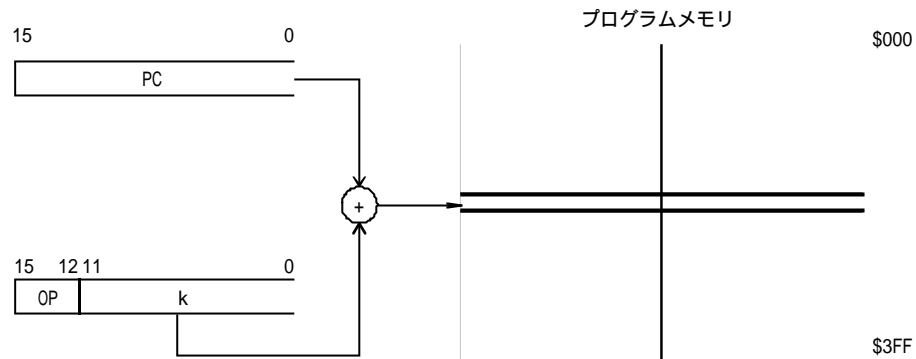
オペランドは命令ワード中の 6 ビットに含まれています。n は行き先またはもとのレジスタアドレスです。



AT90S1200

相対プログラムアドレッシング、RJMP とICALL

図 10 相対プログラムメモリアドレッシング



プログラムは $PC+k+1$ のアドレスで実行されます。相対アドレス k は -2048 ~ 2047 までになります。

サブルーチンとハードウェアの割りこみスタック

AT90S1200 はサブルーチンと割りこみに対して 3 段階の深さをもつハードウェアスタックを使っています。ハードウェアのスタックは 9 ビット長あり、サブルーチンや割りこみが実行されている間プログラムカウンタの戻りアドレスを保存しています。

RCALL 命令と割りこみはスタックレベル 0 上に push されたのスタックレベル 1 ~ 2 では、さらにしたのスタックに push されます。RET と RETI 命令が実行される時戻ってくる PC はスタックレベル 0 からフェッチされ (持ってこられ)、他のスタックレベル 1 ~ 2 がスタックから 1 レベル pop されます。3 以上のサブルーチン呼びだしや、割りこみが実行されると、スタックに書きこまれている最初の値が上書きされていきます。

EEPROM データメモリ

AT90S1200 は 64 バイトの EEPROM データメモリを持っています。単一のバイトの読み込みと書きこみができる別のデータスペースとして編成されています。EEPROM は最低 100000 回の読み込みまたは書きこみの耐久性があります。EEPROM と CPU のアクセスは 25 ページに説明されており、EEPROM アドレスレジスタ、EEPROM データレジスタ、EEPROM コントロールレジスタを指定します。SPI のデータダウンロードについての詳しい説明は 45 ページを見て下さい。

メモリアクセス・命令実行時間

この節では、命令の実行と内部のメモリアクセスについて、一般的なアクセスの概念を説明します。

AVR CPU はシステムクロック 0 で駆動され、チップ用の外部クロックから直接生成されず、内部クロックによる分周が使われています。

AT90S1200

図 11 はハーバードアーキテクチャと高速アクセスのレジスタファイルの概念によって可能になった並列的に命令フェッチと命令の実行をする様子をあらわしています。これが MHz あたり 1MIPS まで得ることのできる基本的なパイプラインの概念です。それに対応した時間コスト、クロック、電力単位あたりの動作結果を持ちます。

図 11 並列命令フェッチ・命令の実行

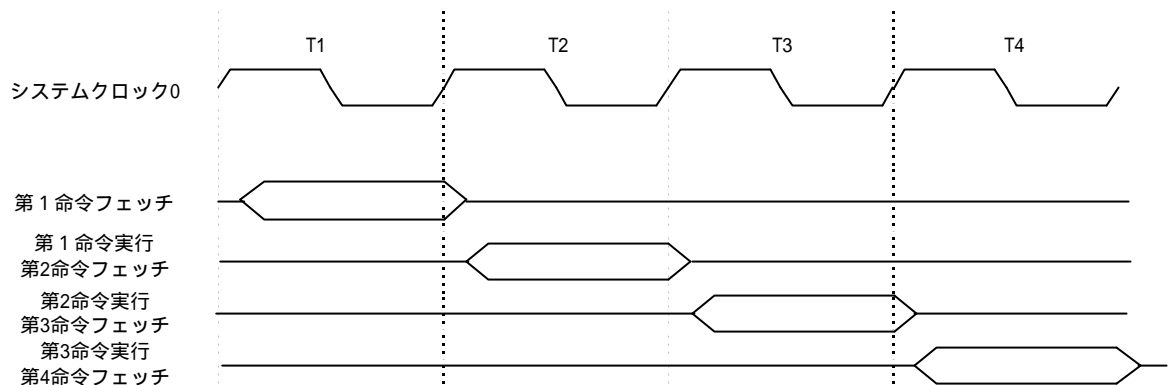


図 12 単サイクルでの ALU 動作

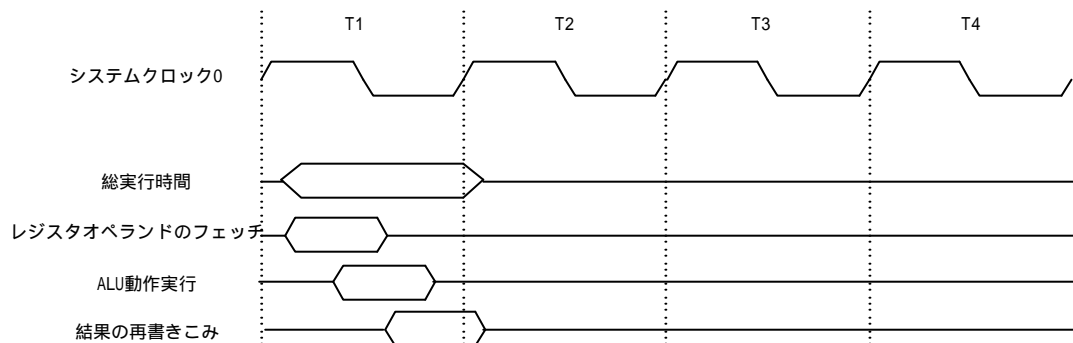


図 12 は、レジスタファイルの内部でのタイミングの概念を表しています。単クロックサイクルで、2つのレジスタオペランドを使った ALU 演算が実行され、結果は行き先レジスタへ蓄えられます。

AT90S1200

I/O メモリ

AT90S1200 の I/O 空間の定義は次の表に示されています。

表 1 AT90S1200 の I/O 空間

16進アドレス	名称	機能
\$3F(\$5F)	SREG	ステータスレジスタ
\$3B(\$5B)	GIMASK	一般割りこみマスクレジスタ
\$39(\$59)	TIMSK	タイマ/カウンタ割りこみマスクレジスタ
\$38(\$58)	TIFR	タイマ/カウンタ割りこみフラッグレジスタ
\$35(\$55)	MCUCR	MCUコントロールレジスタ
\$33(\$53)	TCCR0	タイマ/カウンタ0コントロールレジスタ
\$32(\$52)	TCNT0	タイマ/カウンタ0 (8ビット)
\$21(\$41)	WDTCR	ウォッチドッグタイマコントロールレジスタ
\$1E(\$3E)	EEAR	EEPROMアドレスレジスタ
\$1D(\$3D)	EEDR	EEPROMデータレジスタ
\$1C(\$3C)	EEDR	EEPROMコントロールレジスタ
\$18(\$38)	PORTB	PORTBデータレジスタ
\$17(\$37)	DDRB	PORTBデータ方向レジスタ
\$16(\$36)	PINB	PORTB入力ピン

注意：予約・不使用の位置については表には示していません。

AT90S1200 の I/O と周辺は I/O 空間に置かれています。I/O は 32 の汎用レジスタと I/O 空間の間を転送する IN と OUT 命令で、アクセスします。アドレス範囲\$00～\$1F 内の I/O レジスタは SBI,CBI 命令を使うことにより直接ビットアクセスをすることができます。これらのレジスタにおいて、単一ビットの値は SBIS,CBIC 命令を使ってチェックすることができます。詳しくは、命令一覧の章を見てください。

これからの、デバイスとの互換性のために、予約ビットはアクセスされた場合、0 で書きこまれていなければなりません。予約 I/O メモリのアドレスには書きこまないでください。ステータスレジスタの中には、1 を書きこんでクリアできるものもあります。CBI と SBI 命令は I/O ビットの全ビットで動作し、セットで読まれているどのフラッグに 1 を書きこみなおすことができ、これによりフラッグがクリアされます。CBI と SBI 命令は\$00 から\$1F のレジスタのみで動作します。

I/O レジスタと周辺コントロールレジスタは次の節で説明されています。

ステータスレジスタ SREG

AVR ステータスレジスタ SREG は I/O 位置\$3F(\$5F) にあり、次のように定義されます。

ビット	7	6	5	4	3	2	1	0	
\$3F	I	T	H	S	V	N	Z	C	SREG
読み込み	読/書	読/書	読/書	読/書	読/書	読/書	読/書	読/書	
書きこみ	(Read) / (Write)	(Read) / (Write)	(Read) / (Write)	(Read) / (Write)	(Read) / (Write)	(Read) / (Write)	(Read) / (Write)	(Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

ビット 7 I: グローバル割りこみ有効

グローバル割りこみビットを、割りこみを有効にさせるためには 1 に設定されなければな

AT90S1200

りません。設定してはじめて、個々の割りこみ有効コントロールは、別のコントロールレジスタで実行されます。グローバル割りこみ有効レジスタが 0 にクリアされると、割りこみは個々の割りこみイネーブルの設定と無関係になり、割りこみが実行されることはありません。割りこみでハードウェアによって I ビットがクリアされたあと、RETI 命令によって設定され、後に続く割りこみが有効になります。

ビット 6 T: ビットコピーメモリ

ビットコピー命令 BLD(Bit LoaD ロード)と BST(Bit STore 保存)により、(レジスタ中の)ビットは T ビットがソースとして、T ビットへの保存先として演算されます。レジスタファイル中のビットは BST 命令によって T へコピーされ、T 中のビットは BLD 命令によりレジスタファイル中の(指定した)1 ビットへコピーされます。

ビット 5 H: ハーフキャリーフラッグ

ハーフキャリーフラッグ H は、ある算術演算のハーフキャリーフラッグを示しています。詳細については、命令一覧を参照してください。

ビット 4 S: サインビット

S ビットは負フラッグと 2 の補数オーバーフローフラッグの排他的 OR をとっています。詳しい情報については命令一覧を参照してください。

ビット 3 V: 2 の補数オーバーフローフラッグ

2 の補数オーバーフローフラッグ V は、2 の補数算術演算ができます。詳細は命令一覧を見てください。

ビット 2 N: 負フラッグ

負フラッグ N 算術・論理演算で負の結果が出たことを示します。詳しい情報については、命令一覧の説明を見てください。

ビット 1 Z: ゼロフラッグ

ゼロフラッグ Z は算術・論理演算でゼロの結果が出たことを示しています。詳しい情報については、命令一覧の説明を見てください。

ビット 0 C: キャリーフラッグ

キャリーフラッグは算術・論理演算でキャリー (桁上げ・桁下げ 訳者注) の結果が出たことを示しています。詳しい情報については、命令一覧の説明を見てください。

注意 ステータスレジスタは、割りこみルーチンに入ったときに自動的に蓄えられたり、返ってきたときに自動的に戻されることはありません。この処理は、ソフト上で行ってください。

リセットと割りこみの扱い

AT90S1200 は 3 つの割りこみソースがあります。これらの割りこみとリセットベクトルは、プログラムメモリ空間中に別のプログラムベクトルを持っています。どの割りこみも個々にイネーブルビットを持っており、割りこみを有効にするためにステータスレジスタ中の I

AT90S1200

ビットと一緒に設定します。

プログラムメモリ空間の最低アドレスは、リセットと割りこみベクトルとして自動的に定義されます。ベクトルの完全な表は、表 2 に示してあります。リストでは割りこみの優先レベルが決まっています。低いアドレスほど優先順位が高くなります。RESET は最も優先順位が高く、次に外部割りこみ要求 0 : INTO などと続きます。

表 3 リセット・割りこみベクトル

ベクトル番号	プログラムアドレス	ソース	割りこみの定義
1	\$000	RESET	ハードウェアのピン、パワーオンリセット、ウォッチドッグリセット
2	\$001	INT0	外部割りこみ要求0
4	\$002	TIMER0.OVF	タイマ/カウンタ0オーバーフロー
5	\$003	ANA_COMP	アナログコンパレータ

最も典型的なリセットと割りこみのアドレスは

アドレス	ラベル	コード	コメント
\$000		rjmp reset	;リセットのハンドラ
\$001		rjmp EXT_INT0	;外部割りこみ要求 0 のハンドラ
\$002		rjmp TIM0_OVF0	;タイマ 0 オーバーフローのハンドラ
\$003		rjmp ANA_COMP	;アナログコンパレータのハンドラ
\$004	MAIN:	<命令> ~	;メインプログラムの始まり

リセットソース

AT90S1200 は 3 つのリセット源を持ちます。

- ・パワーオンリセット MCU は供給電源がパワーオンリセットスレッシュホールド V_{pot} を下回るときに、リセットされます。
- ・外部リセット RESET ピンに 50ns 以上 L レベルがあると MCU がリセットされます。
- ・ウォッチドッグリセット ウォッチドッグリセット期間が終了し、ウォッチドッグが有効になったときに MCU がリセットされます。

リセット期間中、すべての I/O レジスタが初期値に設定され、プログラムはアドレス \$000 から実行を開始します。アドレス \$000 に設定された命令は、扱っているルーチンをリセットするために RJMP 命令：相対ジャンプでなければなりません。プログラムが割込み源をイネーブルしない場合、割りこみベクトルは使われることはないのです。そこに普通のプログラムコードを置くことができます。図 13 の回路図はリセットのロジックを表しています。表 3 でリセット回路の時間と電気的なパラメータを定義しています。パワーオンリセットのタイミングは内蔵 RC オシレータによってクロックされます。他の V_{cc} 電圧での RC オシレータに対する周波数特性のデータを参照してください。

AT90S1200

図 13 リセットの論理

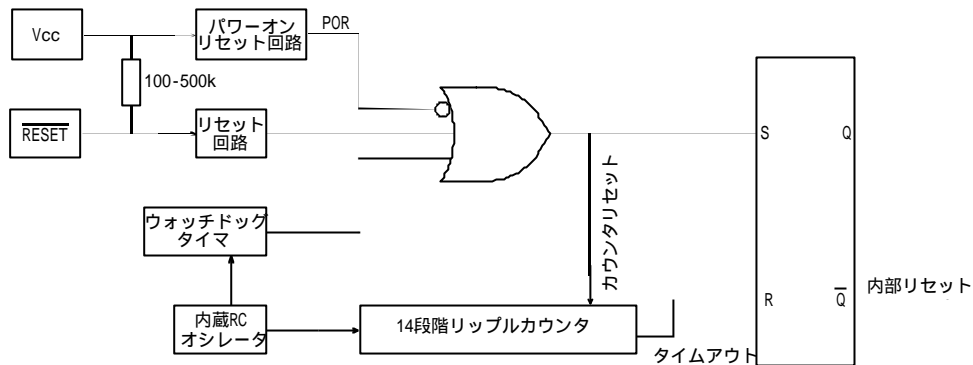


表 3 リセットの特徴 (Vcc=5.0)

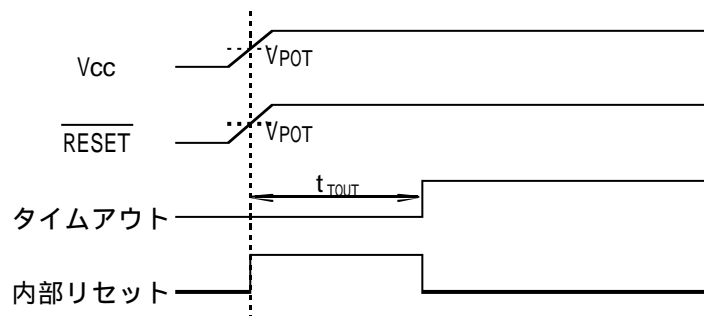
記号	パラメータ	最小値	標準値	最大値	単位
V _{POT}	パワーオンリセットスレッシュホールド電圧 (立ち上がり)	0.8	1.2	1.6	V
	パワーオンリセットスレッシュホールド電圧 (立ち下がり)	0.2	0.4	0.6	V
V _{RST}	RESETピンスレッシュホールド電圧			0.85V _{cc}	V
t _{TOUT}	パワーオンリセット周期	2	3	4	ms
t _{TOUT}	リセット遅延タイムアウト周期 (タイムアウト周期はWDTの16k倍のサイクルと等しくなります。いろいろな電圧でのWDTの標準周波数については2-50ページの「標準特性」を参照して下さい。)	11	16	21	ms

注 1：パワーオンリセットは供給電圧が V_{pot} (立ち下がり) 以下にならないばあい起こりません。

パワーオンリセット

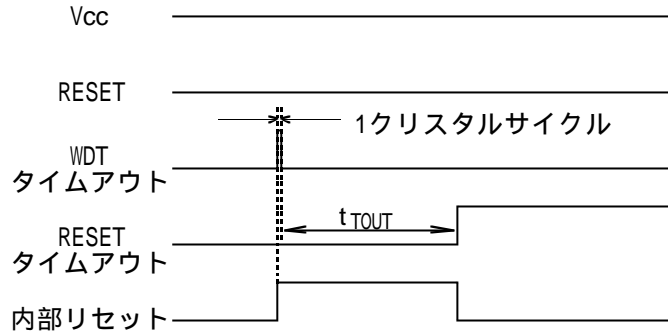
パワーオンリセット(POR)回路によりデバイスはパワーオンからリセットされます。図 13 に示されているように、ウォッチドッグタイマオシレータからクロックされる内部タイマにより、MCU が動き始めないようにしてあり、V_{cc} の立ち上がり時間にかかわらず、V_{cc} がパワーオンリセットスレッシュホールド電圧 V_{POT} に達してからしばらく動きません。(図 14 参照)

図 14 MCU スタートアップ、V_{cc} に結びついた RESET



AT90S1200

図 17 動作中のウォッチドッグリセット



割りこみの扱い

AT90S1200 は 2 つの 8 ビット割りこみマスクコントロールレジスタ GIMSK (汎用割りこみマスクレジスタ : I/O アドレス \$3B) と TIMSK (タイマ/カウンタ割りこみマスクレジスタ : I/O アドレス \$39) を持っています。

割りこみが起こるとき、グローバル割り込み有効 I ビットがクリア(0)され、すべての割りこみが無効になります。ソフトウェア上で I ビットを 1 に設定でき、これによりネストされた割りこみが有効になります。割りこみからの帰還命令 RETI が実行されると、I ビットが 1 に設定されます。

対応する割りこみ有効ビットが 0 になった時に割りこみ条件が起こるとき、割りこみフラッグが設定され、割りこみが有効になるか、ソフト上でフラッグが消去されるまで記憶されます。

グローバル割りこみ有効ビットがクリアになったとき一つ以上の割りこみ状態起きている場合、対応する割りこみフラッグが設定され、グローバル割り込み有効ビットが有効になった後優先順位に従って実行されるまで、記憶されています。外部レベル割り込みではフラッグを持たないことに注意してください。このため、割りこみ状態がアクティブなときだけ、記憶されています。

ステータスレジスタは、割りこみルーチンに入るときに自動的に蓄えられたり、割りこみルーチンから返ってきたときに、元に戻されることはありませんので注意してください。これはソフト上で処理を行ってください。

一般割りこみマスクレジスタ GIMSK

ビット	7	6	5	4	3	2	1	0	
\$3B	-	INT0	-	-	-	-	-	-	GIMSK
読み込み・書きこみ	読 (Read)	読/書 (Read) / (Write)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	
初期値	0	0	0	0	0	0	0	0	

ビット 7 Res : 予約ビットこれらのビットは AT90S1200 の予約ビットで、常に 0 として読み込まれます。

AT90S1200

ビット 6 INTO : 外部割りこみ要求 0 有効ビット

INT0 が 1 に設定されていて、ステータスレジスタ(SREG)中の I ビットが 1 に設定されている場合、外部ピン割りこみが有効になります。MCU コントロールレジスタ MCUCR 中の割り込み感度コントロール 0 ビットは 1/0(ISC01 と ISC00)は外部割りこみが、立ち上がり、立ち下がり、L レベルでアクティブになるかどうかを定義しています。出力として INT0 ピンが構成されている場合でも、ピン上にくわわる変化で割りこみが生じます。18 ページを参照してください。

ビット 5 ~ 0 Res : 予約ビットこれらのビットは AT90S1200 の予約ビットで、常に 0 として読み込まれます。

タイマ/カウンタ割りこみマスクレジスタ TIMSK

ビット	7	6	5	4	3	2	1	0	
\$39	-	-	-	-	-	-	TOIE0	-	TIMSK
読み込み・書きこみ	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読/書 (Read) / (Write)	読 (Read)	
初期値	0	0	0	0	0	0	0	0	

ビット 7 ~ 2 Res : 予約ビット

これらのビットは AT90S1200 の予約ビットで、常に 0 として読み込まれます。

ビット 1 TOIE0 : タイマ/カウンタオーバーフロー割りこみ有効

TOIE0 ビットが 1 に設定されていて、ステータスレジスタ中の I ビットが 1 に設定されている場合、タイマ/カウンタ 0 オーバーフロー割りこみが有効になります。タイマ 0 カウンタの中でオーバーフローが起こったとき対応する割りこみ(アドレス \$002)が実行されます。このとき、タイマ/カウンタ割りこみフラッグレジスタ TIFR 中の TOV0 ビットが 1 に設定されます。

ビット 0 Res : 予約ビットこのビットは AT90S1200 の予約ビットで、常に 0 として読み込まれます。

タイマ/カウンタ割りこみフラッグレジスタ TIFR

ビット	7	6	5	4	3	2	1	0	
\$38	-	-	-	-	-	-	TOV0	-	TIFR
読み込み・書きこみ	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読/書 (Read) / (Write)	読 (Read)	
初期値	0	0	0	0	0	0	0	0	

ビット 7 ~ 2 Res : 予約ビットこれらのビットは AT90S1200 の予約ビットで、常に 0 として読み込まれます。

ビット 1 TOV0 : タイマ/カウンタオーバーフローフラッグ

タイマ/カウンタ 0 でオーバーフローが起こるとき、TOV0 が 1 に設定されます。TOV0 は、対応する割りこみベクトルが実行されるときに、ハードウェアによってクリアされます。代わりに、TOV0 は論理 1 をフラッグへ書きこむことにより、クリアされます。SREG

AT90S1200

の I ビット、TOIE(タイマ/カウンタオーバーフロー割りこみイネーブル)と TOV0 が 1 に設定されているとき、タイマ/カウンタ 0 オーバーフロー割り込みが実行されます。

ビット 0 Res : 予約ビットこのビットは AT90S1200 の予約ビットで、常に 0 として読み込まれます。

外部割りこみ

外部割りこみは INT0 ピンによってトリガされます。割りこみは立ち上がり・立ち下がり L レベルでトリガされます。これは MCU コントロールレジスタ MCUCR の仕様を示されているとおりに設定することができます。

外部割りこみがトリガされていて、レベルトリガになっている場合、ピンが L レベルになっている限り割り込みが依存(pending)します。(訳者注：AT90S2343 では「トリガされる」と書いてありますが、ここでの正確な意味は不明。)

割りこみは INT0 ピンが出力として構成されている場合でも、割りこみはトリガされます。これによりソフトウェアによる割りこみが可能になります。

割りこみフラッグは直接アクセスすることはできません。外部エッジでトリガされた割り込みが依存関係にあるかもしれない場合は、次のようにしてフラッグを消すことができます。

1. GIMSK 中の INT0 を消去することにより外部割りこみを無効にできます。
2. レベルトリガ割りこみを選択してください。
3. 望みの割りこみエッジを選択してください。
4. GIMSK の INT0 を設定することにより外部割りこみをもう一度有効にしてください。

割りこみ応答時間

有効になった AVR の割り込みに対する割りこみ実行応答時間は、最小で 4 クロックサイクルです。割りこみフラッグが設定されてから、4 クロックサイクルで、実際に動いている割りこみルーチンのプログラムベクトルのアドレスが実行されます。これらの 4 サイクルのうち、プログラムカウンタ (9 ビット) はスタックへ POP されます。ベクトルは割りこみルーチンへの相対ジャンプで、ジャンプは 2 クロックかかります。マルチサイクル命令が実行されている間に割り込みが起こった場合、この命令は割りこみが働くまでに完了します。

割りこみルーチンから返ってくる (サブルーチンの呼び出しも同様) のには 4 サイクルかかります。これらの 4 サイクルの間、プログラムカウンタ (9 ビット) が POP でスタックから戻され、SREG 中の I フラッグが設定されます。AVR が割りこみから抜け出すとき、常にメインプログラムへもどり、未実行の割りこみが実行される前に 1 つ命令を実行します。

サブルーチンと割りこみスタックが 3 段階のハードウェアスタックで、3 以上ネストしているサブルーチンや割りこみが実行された場合は最新の 3 アドレスまでが保存されています。

AT90S1200

MCU コントロールレジスタ MCUCR

MCU コントロールレジスタは、一般の MCU 機能に対するコントロールのためのビットを含んでいます。

ビット	7	6	5	4	3	2	1	0	
\$35	-	-	SE	SM	-	-	ISC01	ISC00	MCUCR
読み込み・書きこみ	読 (Read)	読 (Read)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読 (Read)	読 (Read)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

ビット 7,6 Res : 予約ビットこれらのビットは AT90S1200 の予約ビットで、常に 0 として読み込まれます。

ビット 5 SE : スリープ有効

スリープ命令が実行されるときに MCU をスリープモードに入らせるために、SE ビットは 1 に設定されていなければなりません。MCU が勝手に (プログラム上の意図がない限り) スリープモードに入ってしまうようにするために、SLEEP 命令の実行する直前にスリープモードを設定することをお勧めします。

ビット 4 SM : スリープモード

このビットで 2 つのスリープモードを選択します。SM が 0 になっていると、スリープモードとしてアイドルモードが選択されます。SM が 1 に設定されると、スリープモードとしてパワーダウンモードが選択されます。詳しくは次のページの「スリープモード」を参照してください。

ビット 3,2 Res : 予約ビットこれらのビットは AT90S1200 の予約ビットで、常に 0 として読み込まれます。

ビット 1,0 ISC01,ISC00 : 割りこみ感度コントロール 0 ビット 1、ビット 0

外部割りこみ 0 は、SREG の I フラグと GIMSK 中の対応する割りこみマスクが設定されている場合、外部ピン INT0 によって、アクティブになります。割りこみがアクティブになる外部 INT0 ピンのレベル、エッジは次の通りです。

表 4 割りこみ 0 感度コントロール

ISC01	ISC00	説明
0	0	INT0 上で L レベルになると割りこみ要求が起こります。
0	1	予約
1	0	INT0 上で立ち下がりエッジがあると割りこみ要求が起こります。
1	1	INT0 上で立ち上がりエッジがあると割りこみ要求が起こります。

注意： ISC01/ISC00 ビットを変えるとき、INT0 は GIMSK レジスタ中の割りこみイネーブルビットをクリアすることにより無効にしておかなければなりません。そうしないと、ビットを変えた時に割りこみが起こることがあります。

INT01 ピンの値がエッジを検知する前にサンプリングされます。エッジまたはトグル割り込みが選択されていると、1 クロック周期より長いパルスにより割りこみが生成されます。

AT90S1200

L レベル割りこみが選択されている場合、割りこみを生成するために今実行している命令が完結するまで L レベルが保たれていなければなりません。レベルトリガ割りこみが有効になっている場合は、ピンが L レベルに保てられている限り割りこみ要求が生成されます。

スリープモード

スリープモードに入るためには、MCUCR 中の SE ビットを 1 に設定し、SLEEP 命令が実行されなければなりません。スリープモードに MCU が入っている間に、有効になった割りこみが起こった場合、MCU が目を覚まし、割りこみルーチンを実行し、SLEEP に続く命令から実行を再開します。レジスタファイル、SRAM、I/O メモリの内容が変わることはありません。スリープモード時にリセットが起こった場合は、MCU は目覚めて、リセットベクトルから実行していきます。

アイドルモード

SM ビットが 0 にクリアされると、SLEEP 命令で MCU は強制的にアイドリングモードに入って、CPU は止まりますが、タイマ/カウンタ、ウォッチドッグタイマ、割りこみシステムが動きつづけています。これにより、MCU は、タイマオーバーフローやウォッチドッグリセットなどのような内部割込みだけではなく、外部トリガによる割りこみで目覚めます。アナログコンパレータ割りこみからの起動が必要でない場合は、アナログコンパレータコントロール・ステータスレジスタ ACSR 中の ACD ビットを設定することにより、アナログコンパレータはパワーダウンされます。これにより、アイドルモードでの消費電力を減らすことができます。MCU がアイドルモードから起動すると、CPU は直ちにプログラムの実行を開始します。

パワーダウンモード

SM ビットが 1 に設定されていると、SLEEP 命令で MCU が強制的にパワーダウンモードに入ります。このモードでは、外部割りこみや（有効になっている場合）ウォッチドッグが動作しつづけている一方で、外部オシレータは停止します。外部リセット、ウォッチドッグリセット、INT0 ピン上の外部レベル割りこみだけが、MCU を目覚めさせることができます。

レベルトリガ割りこみがパワーダウンモードからの起動に使われている場合、変化したレベルは MCU を起動するのに、リセット遅延タイムアウト周期 t_{TOUT} より長く保たれていなければなりません。送でない場合は、デバイスが起動することはありません。

タイマ/カウンタ 0

AT90S1200 には、汎用 8 ビットタイマカウンタ 0 があります。タイマ/カウンタ 0 は 10 ビット分周タイマから分周します。タイマ/カウンタ 0 は内部クロックベースのタイマまたはカウントをトリガする外部オインと接続したカウンタとしても使うことができます。

AT90S1200

タイマ/カウンタ 0 の割りこみの有効・無効設定は、タイマ/カウンタ 0 割り込みコントロールレジスタ TIMSK 中に見られます。タイマ/カウンタ 0 が外部的にクロックされている時、外部信号は CPU のオシレータ周波数に同期しています。外部クロックが正しくサンプリングされるようにするために、外部クロック信号変化の最小時間幅は少なくとも内部 CPU 1 クロック分なければなりません。外部信号は内部 CPU クロックの立ち上がりでサンプリングされます。

8 ビットタイマ/カウンタ 0 は、低分周率で使う場合には、高精度、高分解能になります。同様に、高い分周率での用途では、低いスピードの機能、非周期的な動作に対して正確な計時機能に有用です。

タイマ/カウンタ 0 コントロールレジスタ TCCR0

ビット	7	6	5	4	3	2	1	0	
\$33	-	-	-	-	-	CS02	CS01	CS00	TCCR0
読み込み・書きこみ	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

ビット 7~3 Res : 予約ビットこれらのビットは AT90S1200 の予約ビットで、常に 0 として読み込まれます。

ビット 2,1,0 CS02,CS01,CS00 : クロック選択ビット 2,1,0

表 5 クロック分周選択

CS02	CS01	CS00	説明
0	0	0	ストップ・タイマ/カウンタ0が止まります。
0	0	1	CK
0	1	0	CK/8
0	1	1	CK/64
1	0	0	CK/256
1	0	1	CK/1024
1	1	0	外部ピンT0立ち下がりエッジ
1	1	1	外部ピンT0立ち上がりエッジ

停止状態ではタイマ有効・無効機能があります。クロック分周モードではオシレータクロックが直接使われます。外部ピンモードはタイマ/カウンタ 0 用に使われる場合、PD4/(T0) ピンが出力設定になっていても、PB4/(T0)での変化でカウンタが回ります。これにより、カウントの切り替えを行います。

AT90S1200

タイマ/カウンタ 0 TCNT0

ビット	7	6	5	4	3	2	1	0	
\$32	MSB							LSB	TCNT0
読み込み・書きこみ	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

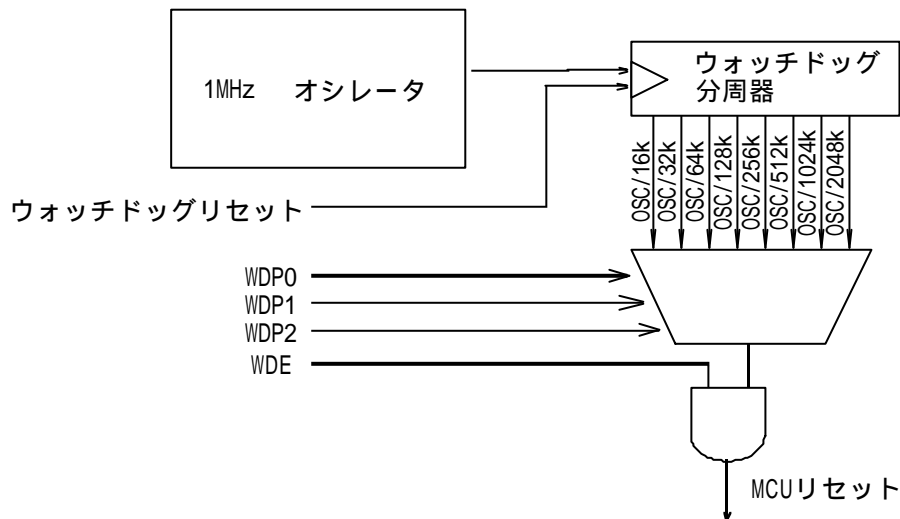
タイマ/カウンタ 0 は読み込み・書きこみ可能な数え上げカウンタです。タイマ・カウンタ 0 が書きこまれていて、クロック源がある場合は書きこみ動作に続いて、タイマクロックサイクルでカウントを続けます。

ウォッチドッグタイマ

ウォッチドッグタイマは、別の内臓オシレータ (Vcc=5V, 1MHz で動く) からクロックされます。他の Vcc レベルの値については特性データを見てください。ウォッチドッグタイマのプリスケアラをコントロールすることによって、ウォッチドッグリセット間隔が調節できます。表 6 を参照してください。

WDR 命令 (ウォッチドッグリセット) はウォッチドッグタイマをリセットします。8 つのクロック周期が選択されると、リセット周期が決定されます。ウォッチドッグリセットなしでリセット周期が過ぎると、AT90S1200 はリセットになり、リセットベクトルから実行します。ウォッチドッグリセットの計時の詳細については、16 ページを参照してください。

図 20 ウォッチドッグタイマ



AT90S1200

ウォッチドッグタイムコントロールレジスタ WDTCR

ビット	7	6	5	4	3	2	1	0	
\$21	-	-	-	-	WDE	WDP2	WDP1	WDP0	WDTCR
読み込み・書きこみ	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

ビット 7~4 Res : 予約ビットこれらのビットは AT90S1200 の予約ビットで、常に 0 として読み込まれます。

ビット 3 WDE : ウォッチドッグイネーブル

1. WDE が 1 に設定されて、ウォッチドッグタイムが有効になり、WDE が 0 にクリアされているとウォッチドッグタイム機能が無効になります。

ビット 2~0 WDP2,WDP1,WDP0 : ウォッチドッグタイム分周 1 と 0

WDP2,WDP1 と WDP0 ビットは、ウォッチドッグタイムが有効になるとき、ウォッチドッグタイムの分周が決まります。分周値と対応するタイムアウト周期が表 6 に示されています。

表 6 ウォッチドッグタイム分周選択

WDP2	WDP1	WDP0	ウォッチドッグタイムオシレータサイクル	Vcc=3.0Vでの標準タイムアウト	Vcc=5Vでの標準タイムアウト
0	0	0	16kサイクル	47ms	15ms
0	0	1	32kサイクル	94ms	30ms
0	1	0	64kサイクル	0.19s	60ms
0	1	1	128kサイクル	0.38s	0.12s
1	0	0	256kサイクル	0.75s	0.24s
1	0	1	512kサイクル	1.5s	0.49s
1	1	0	1024kサイクル	3.0s	0.97s
1	1	1	2048kサイクル	6.0s	1.9s

注意： ウォッチドッグタイムのオシレータの周波数は、(RC オシレータのため：訳者注) 50 ページの標準特性の節にあるように電圧依存性があります。

WDR (ウォッチドッグリセット) 命令はウォッチドッグタイムが有効になる前に常に実行されています。これにより、リセット周期がウォッチドッグタイムの分周設定と確実に一致するようになります。ウォッチドッグタイムがリセットなしに有効になると、ウォッチドッグタイムはゼロからカウントが始まらないことがあります。

EEPROM 書きこみ・読み込みアクセス

EEPROM アクセスレジスタは I/O 空間でアクセスできます。書き込みアクセス時間は、2.5 ~ 4ms にわたり、Vcc の電圧に依存しています。しかし、自己計時機能により、次のバイトが書きこまれたときにユーザソフトウェアで検出させます。

EEPROM に書きこむコードがユーザのコードに含まれている場合、いくつか注意しておくべきことがあります。強くフィルタをかけられた電源では、Vcc は電源の上がり下がりに対

AT90S1200

してゆっくりと上下します。これにより使われているクロック周期できまる最低電圧より低い値でしばらくの周期動きます。CPU をこの条件を下回って動かすと、プログラムカウンタが意図しないところでジャンプしたり、EEPROM 書きこみコードを実行してしまったりします。EEPROM の統合性を保つため、この場合、外部からしきい値以下の電圧ではリセットする回路を使うようにしてください。

意図せず EEPROM の書きこまれてしまうことを防ぐために、所定の書きこみ手続きに従わなければなりません。これについての詳細は 26 ページの EEPROM コントロールレジスタの説明を参照してください。EEPROM が読み込みまたは書きこまれるとき、CPU は次の命令が実行されるまえに 2 クロックサイクル止まっています。

EEPROM アドレスレジスタ EEAR

ビット	7	6	5	4	3	2	1	0	
\$1E	-	-	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEAR
読み込み・書きこみ	読 (Read)	読 (Read)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

ビット 7 Res : 予約ビットこのビットは AT90S1200 の予約ビットで、常に 0 として読み込まれます。

ビット 6~0 EEAR6~0 : EEPROM アドレス

EEPROM アドレスレジスタ EEAR5~0 は 64 バイト EEPROM 空間中で EEPROM アドレスを指定します。EEPROM データバイトは 0~63 にリニアに割り当てられていきます。

EEPROM データレジスタ EEDR

ビット	7	6	5	4	3	2	1	0	
\$1D	MSB							LSB	EEDR
読み込み・書きこみ	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

ビット 7~0 EEDR7~0 : EEPROM データ

EEPROM 書きこみ動作に対して、EEDR レジスタは、データを含んでおり、EEAR によって与えられるアドレスに書きこまれます。読み込み動作にたいしては、EEPROM から読み出されるデータが含まれており、読み出しアドレスは EEAR で指定されます。

EEPROM コントロールレジスタ EECR

ビット	7	6	5	4	3	2	1	0	
\$1C	-	-	-	-	-	-	EEWE	EERE	EECR
読み込み・書きこみ	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

AT90S1200

ビット 7~2 Res : 予約ビットこれらのビットは AT90S1200 の予約ビットで、常に 0 として読み込まれます。

ビット 1 EEW E : EEPROM 書きこみイネーブル

EEPROM 書きこみイネーブル信号 EEW は EEPROM への書きこみストロポになっています。アドレスとデータを正しく設定した時に、EEPROM へ値を書きこむために設定しなければなりません。書き込みアクセス時間 (通常 $V_{cc} = 5V$ で 2.5ms、 $V_{cc} = 2.7V$ で 4ms) が過ぎると、EEW ビットはハードウェアによりクリアされます。ソフト上でこのビットを調べておいて、0 になるのを待って、次のバイトを書きこんで下さい。EEW が設定されると、CPU は次の命令が実行される前に 2 クロックサイクル停止しています。

ビット 0 EER E : EEPROM 読み込みイネーブル

EEPROM 読み込みイネーブル信号 EER は EEPROM への読み込みストロポです。(訳者注: このビットが 1 になったタイミングで読み込まれ、自動的に 0 に戻されます。ダイナミック。) 正しいアドレスが EEAR レジスタ中で設定されているときに、EER ビットが設定されなければなりません。EEPROM 読み込みアクセスには 1 命令かかり、EER ビットを調べておく必要はありません。EER ビットが設定されると、2 サイクル止まってから次の命令が実行されます。

警告 : EEPROM にアクセスしている割りこみルーチンは他の EEPROM アクセスを妨げている場合、割りこまれた EEPROM アクセスがうまくいかなくなるため、EEAR レジスタ、EEDR レジスタが変更されてしまいます。この問題を避けるために、EEPROM の書きこみ動作中はグローバル割りこみのフラグをクリアしておくことお勧めします。

EEPROM データ崩壊を防ぐ

V_{cc} が低くなっている間、供給電源が低すぎるために CPU と EEPROM が正しく動作しない場合があります。この問題は、EEPROM を使った基板レベルのシステムと同じで、同様の設計上の解決策を適用してください。EEPROM のデータ崩壊は電源が低すぎる場合 2 つの状況で起こることがあります。まず、正規に書きこみシーケンスが行われるためには正しく動作するための最低電圧が必要です。次に、CPU は電源電圧が低すぎると、命令を間違えて実行してしまうことがあります。

EEPROM データ崩壊は、以下の設計上の忠告に従うことによって簡単に避けることができます。(1 つで十分です。)

1. AVR のリセットを電源が不十分な間アクティブ (L レベル) にしておいてください。これは、ブラウンアウト検出器 (BOD) としてよく引き合いに出される外部の低 V_{cc} リセット保護回路により最もうまく行うことができます。パワーオンリセットと低電圧保護に関する考察するためには、アプリケーションノート AVR180 を参照してください。
2. V_{cc} が低くなっている間に AVR のコアをパワーダウンスリープモードにしておいてください。これにより、CPU が命令の解釈・実行を行えなくなり、意図しない書きこみ

AT90S1200

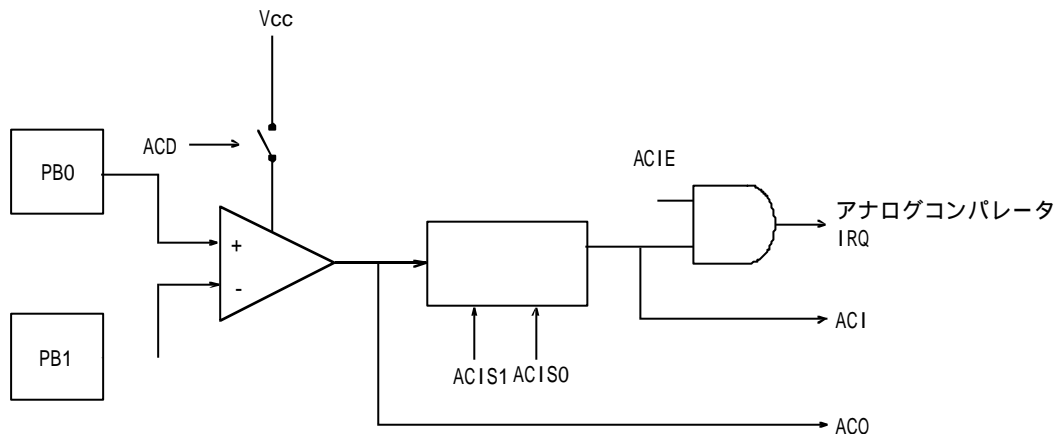
から EEPROM を十分に保護することができます。

3. ソフトでメモリ内容を変える機能が必要ではなくても、フラッシュメモリ中に定数を蓄えてください。フラッシュメモリは CPU によって更新され、データ崩壊を受けなくなります。

アナログコンパレータ

アナログコンパレータは、正入力 PB0(AIN0)と負入力 PB1(AIN1)の入力値を比較します。正入力ピン PB0(AIN0)の方が負入力ピン PB1(AIN1)より高い場合に、アナログコンパレータ出力 ACO が設定(=1)になります。コンパレータの出力はアナログコンパレータ割りこみをトリガするために設定されます。コンパレータ出力の立ち上がり・立ち下がり・トグルでトリガするかを選択できます。コンパレータのブロックダイアグラムとその周りのロジックに付いては図 21 に示してあります。

図 21 アナログコンパレータブロックダイアグラム



アナログコンパレータコントロール・ステータスレジスタ ACSR

ビット	7	6	5	4	3	2	1	0	
\$08	ACD		ACO	ACI	ACIE	-	ACIS1	ACIS0	ACSR
読み込み	読/書	読	読/書	読/書	読/書	読	読/書	読/書	
書きこみ	(Read) / (Write)	(Read)	(Read) / (Write)	(Read) / (Write)	(Read) / (Write)	(Read)	(Read) / (Write)	(Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

- ・ビット 7 **ACD** : アナログコンパレータ無効

このビットが 1 に設定されている時、アナログコンパレータの電源が OFF になります。このビットは、アナログコンパレータを OFF にするためにいつでも使うことができます。これによりアクティブな状態やアイドルモードでの消費電力を減らすことができます。ACD ビットを変えるときは、アナログコンパレータ入力 ACIE をクリアすることによって無効になります。そうでない場合このビットが変わったときに割り込みが起こります。

- ・ビット 6 **Res** : 予約ビット

AT90S1200

このビットは AT90S1200 の予約ビットで、常に 0 として読み込まれます。

・ビット 5 **ACO** : アナログコンパレータ出力

ACO はコンパレータ出力と直接つながっています。

・ビット 4 **ACI** : アナログコンパレータ割りこみフラッグ

コンパレータ出力のイベントにより割りこみがトリガされた時、このビットが設定されます。この割りこみモードは、ACIS0 と ACIS1 によって定義されます。アナログコンパレータ割りこみルーチンは ACIE が 1 に設定されて、SREG 中の I ビットが 1 に設定された場合、実行されます。ACI は対応する割りこみベクトルが実行されたときにハードウェアによってクリアされます。代わりに論理 1 を書きこむことによってフラッグをクリアすることができます。しかし、SBI、CBI 命令を使ってレジスタ中の他のビットが修正する場合で、動作が起こる前に ACI が設定されてしまった場合、ACI がクリアされます。

・ビット 3 **ACIE** : アナログコンパレータ割りこみイネーブル

ACIE が 1 に設定されていて、ステータスレジスタの I ビットが 1 に設定されている時、アナログコンパレータ割りこみがアクティブになります。クリア (0) にされると、割りこみが無効になります。

・ビット 2 **Res** : 予約ビット

このビットは AT90S1200 の予約ビットで、常に 0 として読み込まれます。

・ビット 1、0 **ACIS1**、**ACIS0** : アナログコンパレータ割りこみモード選択

これらのビットによりどのイベントでアナログコンパレータ割りこみをトリガするかを決めます。表 7 の設定を参照してください。

表 7 ACIS1/ACIS0 の設定

ACIS1	ACIS0	割りこみモード
0	0	出力トグルでのコンパレータ割りこみ
0	1	予約
1	0	出力エッジの立ち下がりコンパレータ割りこみ
1	1	出力エッジの立ち上がりコンパレータ割りこみ

注意 : ACIS1/ACIS0 ビットを変えるとき、アナログコンパレータ割りこみは ACSR レジスタ中のイネーブルビットをクリアすることにより無効にすることができます。そうでない場合、ビットが変わったときに割り込みが起こることがあります。

I/O ポート

デジタル I/O ポートとして使われる場合、全 AVR ポートは、読み込み・修正・書きこみ機能を持っています。他のピンの方向を意図せず変えてしまうことなく、1 つのポートピンの方向を、SBI、CBI 命令で変更できることを意味しています。同様に (出力として構成されている場合) ドライブ値の変更、(入力設定の場合) プルアップ抵抗の有効・無効についてもいえます。

AT90S1200

ポート B

AT90S1200 に対してポート B ピンは 8 ビット双方向 I/O ポートです。

3 つの I/O メモリアドレスの位置は、それぞれ、データレジスタ PORTB に対しては\$18、データ方向レジスタ DDRB\$17、ポート B 入力ピン PINB は\$16 になります。データレジスタとデータ方向レジスタが読み込み・書きこみができるのに対し、ポート B 入力ピンアドレスは、読み込み専用です。

全ポートピンは個々にプルアップ抵抗を選択可能です。ポート B 出力バッファは 20mA まで流し込むことができるので、LED ディスプレイを直接駆動できます。PB0~PB7 は入力として使うことができ、外部的に L レベルにしてあるとき、プルアップ抵抗が有効になると電流を流すことができます。

ポート B ピンは次の表に示されているような機能選択ができます。

表 8 ポート B ピンの選択機能

ポートピン	選択機能
PB0	AIN0(アナログコンパレータ正入力)
PB1	AIN0(アナログコンパレータ負入力)
PB5	MOSI (メモリダウンロード用のデータ入力線)
PB6	MISO (メモリダウンロード用のデータ出力線)
PB7	SCK (シリアルクロック入力)

ピンが選択機能を使うためには、DDRB と PORTB レジスタは、選択機能の説明に従って設定されなければなりません。

ポート B データレジスタ PORTB

ビット	7	6	5	4	3	2	1	0	
\$18	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
読み込み・書きこみ	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

ポート B 方向レジスタ DDRB

ビット	7	6	5	4	3	2	1	0	
\$17	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
読み込み・書きこみ	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

ポート B 入力アドレス PINB

ビット	7	6	5	4	3	2	1	0	
\$16	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
読み込み・書きこみ	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	
初期値	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	

ポート B 入力ピンアドレスは PINB はレジスタではありません。このアドレスでポート B

AT90S1200

ピンの物理値のアクセスが有効になります。PORTB を読み込むとき、ポート B データラッチが読み込まれ、PINB を読み込むときは、ピン上の物理値が読みこまれます。

一般デジタル I/O としてのポート B

ポート B ピンの全部のピンが、デジタル I/O ピンとして使われているとき、同じ機能を持っています。

PBn、汎用 I/O ピン : DDRB レジスタ中の DDBn レジスタピンの方向が決まります。DDBn が 1 に設定されている時、PBn は出力ピンとして構成されます。DDBn がクリアされている場合、PBn は入力ピンとして構成されます。入力ピンとして構成されている時で、PORTBn が 1 に設定されている場合 MOS プルアップ抵抗がアクティブになります。プルアップ抵抗を OFF にするために、PORTB をクリアにするか、出力ピンとして構成してください。リセット状態がアクティブになったとき、クロックが動いていなくても、トライステートになっています。

表 9 ポート B ピンの DDBn の効果

ポート B ピンの選択機能

ポート B ピンの選択機能は :

DDBn	PORTB	I/O	プルアップ抵抗	コメント
0	0	入力	OFF	トライステート (ハイインピーダンス状態)
0	1	入力	ON	Lレベルにプルダウンされている場合、電流が流れ出ます。
1	0	出力	OFF	プッシュプルゼロ出力
1	1	出力	OFF	プッシュプル出力

・SCK ポート B、ビット 7

SCK、メモリの更新・ダウンロード用のクロック入力ピン。

・MISO ポート B、ビット 6

MISO、メモリの更新・ダウンロード用のデータ出力ピン

・MOSI ポート B、ビット 5

MOSI、メモリの更新・ダウンロード用のデータ出力ピン

・AIN1 ポート B、ビット 1

AIN1、アナログコンパレータ負入力。入力ピンとして構成されている時(DDB1 は 0 にクリアされ、MOS プルアップ抵抗は OFF(PB1 も 0 にクリア)になっています。)、内蔵アナログコンパレータの負入力として働きます。

・AIN0 ポート B、ビット 0

AIN0、アナログコンパレータ正入力。入力ピンとして構成されている時(DDB0 は 0 にクリアされ、MOS プルアップ抵抗は OFF(PB0 も 0 にクリア)になっています。)、内蔵アナログコンパレータの正入力として働きます。

AT90S1200

ポート B の回路図

全ポートが同期していることに注意してください。しかし、同期ラッチはこの図には示されていません。

図 22 ポート B の回路図(PB0、PB1 ピン)

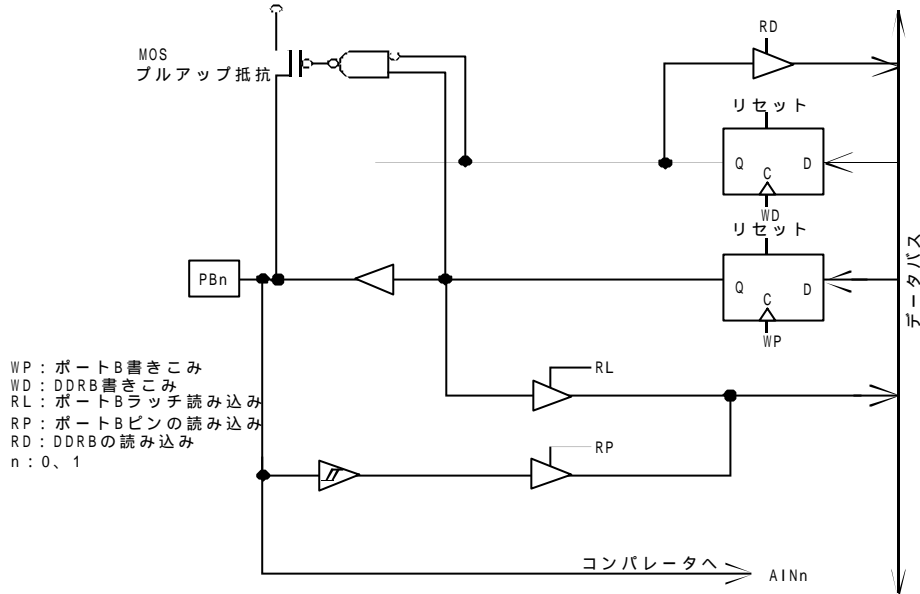
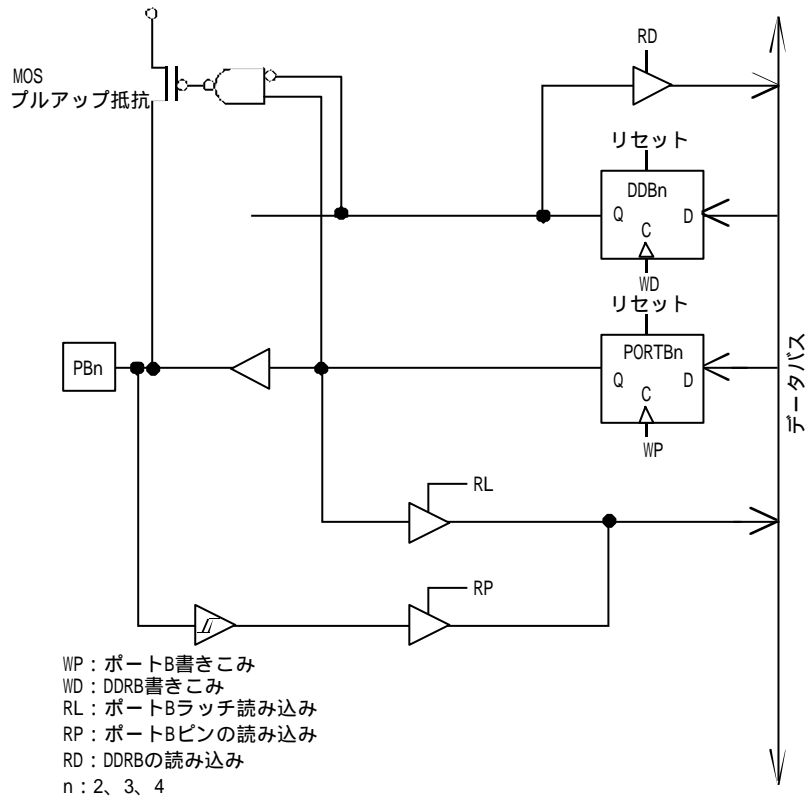


図 23 ポート B の回路図(PB2、PB3 と PB4 ピン)



AT90S1200

図 24 ポート B の回路図(PB5 ピン)

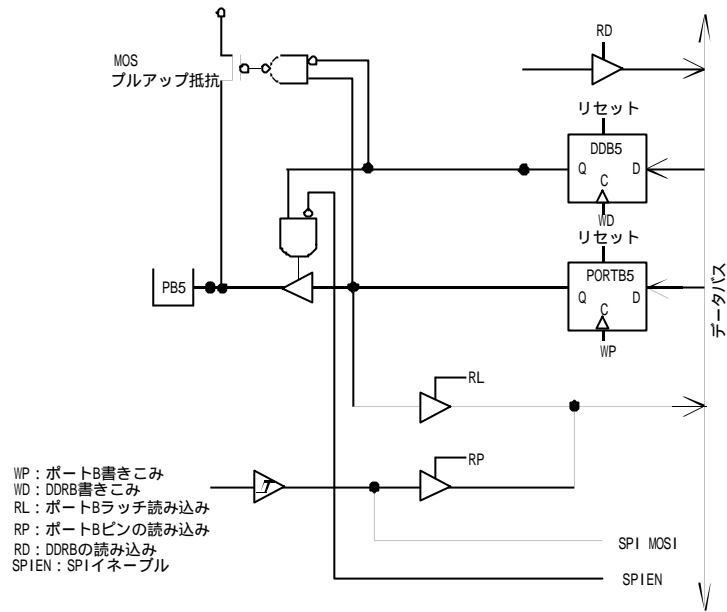
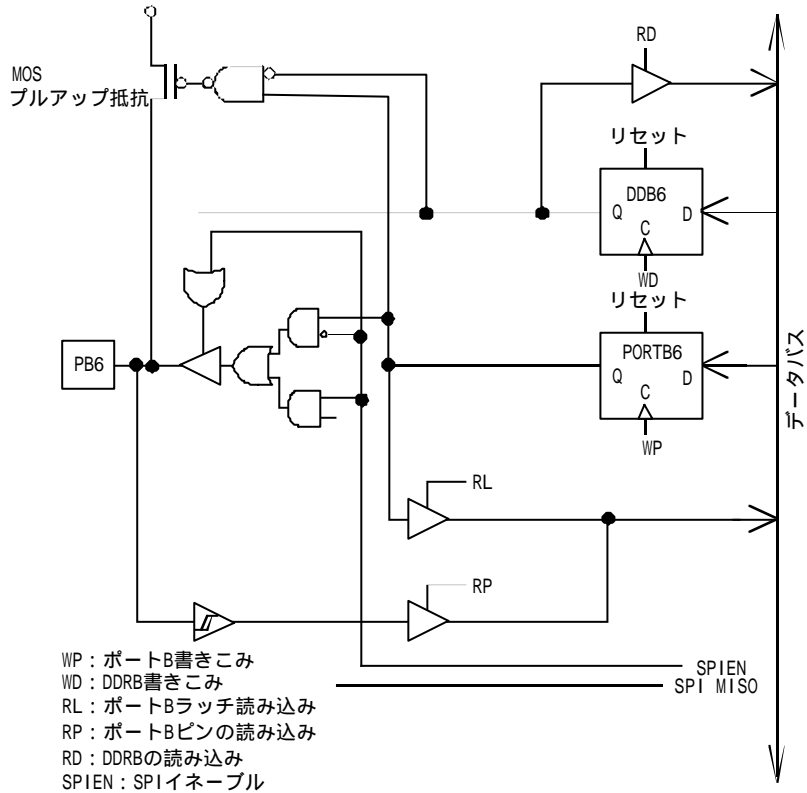
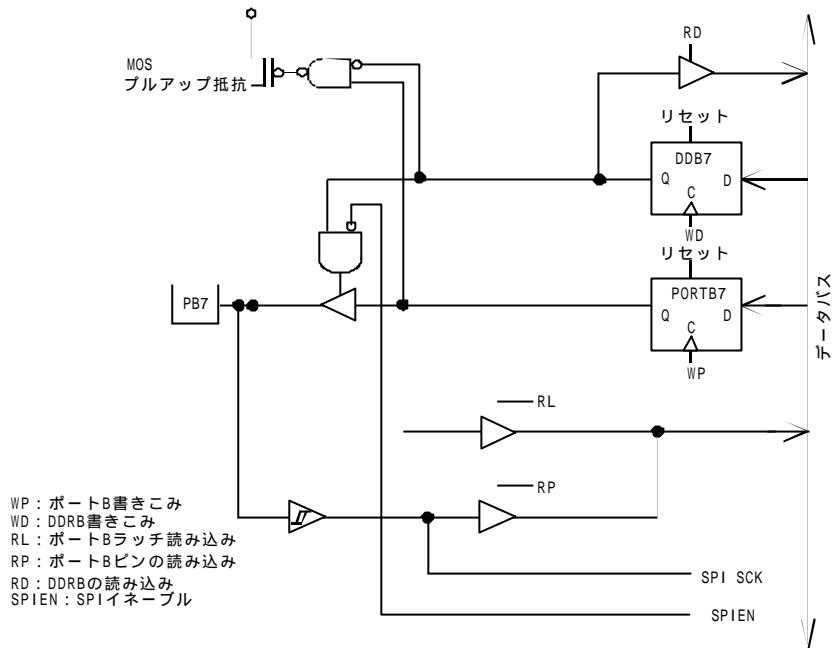


図 25 ポート B の回路図(PB6 ピン)



AT90S1200

図 26 ポート B の回路図(PB7 ピン)



ポート D

3 つの I/O メモリアドレスの位置は、それぞれ、データレジスタ PORTD に対しては\$12、データ方向レジスタ DDRD\$11、ポート D 入力ピン PIND は\$10 になります。データレジスタとデータ方向レジスタが読み込み・書きこみができるのに対し、ポート D 入力ピンアドレスは、読み込み専用です。

ポート D は 7 つの双方向 I/O ピン PD6 ~ PD0 で、内部プルアップ抵抗を持っています。ポート D 出力バッファは 20mA まで流し込むことができます。PD0 ~ PD6 は入力として使うことができ、外部的に L レベルにしてあるとき、プルアップ抵抗が有効になると電流を流すことができます。

ポート D ピンは次の表に示されているような機能選択ができます。

表 10 ポート D ピンの選択機能

ポートピン	選択機能
PD2	INT0(外部割りこみ0要求)
PD4	T0 (タイマ/カウンタ0外部入力)

AT90S1200

ポート D データレジスタ PORTD

ビット	7	6	5	4	3	2	1	0	
\$12	-	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
読み込み・書きこみ	読 (Read)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

ポート D 方向レジスタ DDRD

ビット	7	6	5	4	3	2	1	0	
\$11	-	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
読み込み・書きこみ	読 (Read)	読/書 (Read)	読/書 (Read)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

ポート D 入力アドレス PIND

ビット	7	6	5	4	3	2	1	0	
\$10	-	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	PIND
読み込み・書きこみ	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	
初期値	0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	

ポート D 入力ピンアドレスは PIND はレジスタではありません。このアドレスでポート D ピンの物理値のアクセスが有効になります。PORTD を読み込むとき、ポート D データラッチが読み込まれ、PIND を読み込むときは、ピン上の物理値が読みこまれます。

一般デジタル I/O としてのポート D

PD_n、汎用 I/O ピン: DDRD レジスタ中の DDD_n レジスタピンの方向が決まります。DDD_n が 1 に設定されている時、PD_n は出力ピンとして構成されます。DDD_n がクリアされている場合、PD_n は入力ピンとして構成されます。入力ピンとして構成されている時で、PORTD_n が 1 に設定されている場合 MOS プルアップ抵抗がアクティブになります。プルアップ抵抗を OFF にするために、PORTD をクリアにするか、出力ピンとして構成してください。リセット状態がアクティブになったとき、クロックが動いていなくても、トライステートになっています。

表 11 ポート D ピンの DDD_n の効果

DDb _n	PORTD	I/O	プルアップ抵抗	コメント
0	0	入力	OFF	トライステート(ハイインピーダンス状態)
0	1	入力	ON	Lレベルにプルダウンされている場合、電流が流れ出ます。
1	0	出力	OFF	プッシュプルゼロ出力
1	1	出力	OFF	プッシュプル出力

注意 n : 0 ~ 6 はピン番号

AT90S1200

ポート D ピンの選択機能

ポート D ピンの選択機能は：

ポートピン	選択機能
PD2	INT0(外部割りこみ0要求)
PD4	T0 (タイマ/カウンタ0外部入力)

・T0 ポート D、ビット 4

T0、タイマカウンタのクロックソース。詳しくはタイマの説明を参照してください。

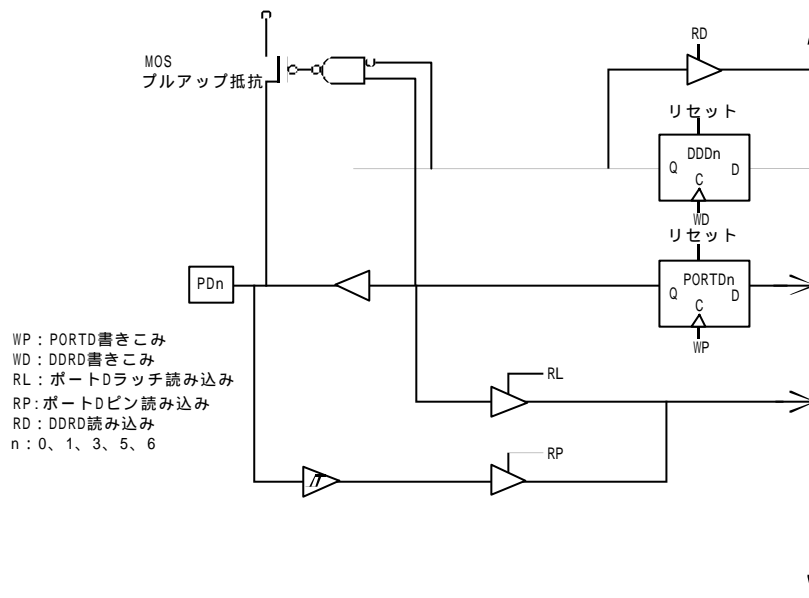
・INT0 ポート D、ビット 2

INT0、外部割りこみソース 0。詳しくはタイマの説明を参照してください。

ポート D の回路図

全ポートが同期していることに注意してください。しかし、同期ラッチはこの図には示されていません。

図 27 ポート D の回路図(PD0、PD1、PD3、PD5、PD6 ピン)



AT90S1200

図 28 ポート D の回路図(PD2 ピン)

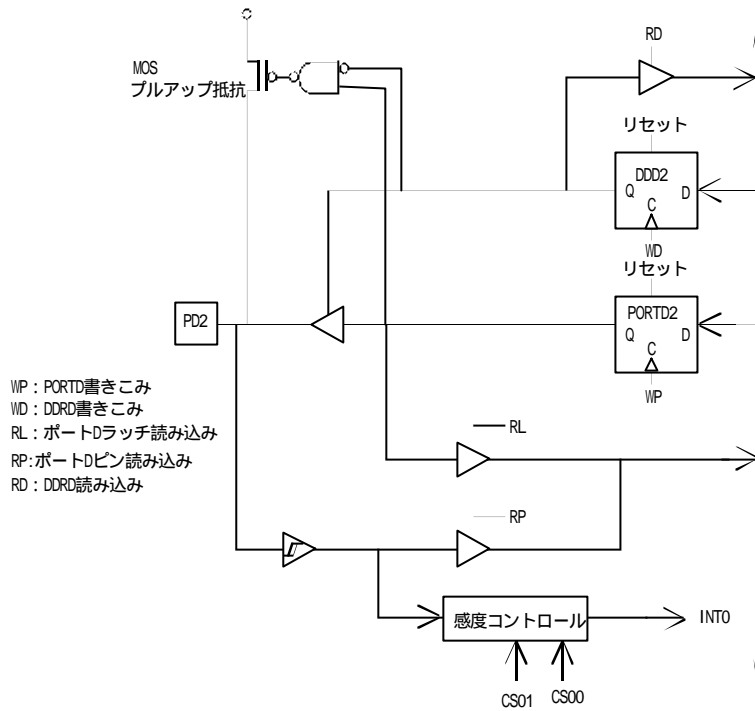
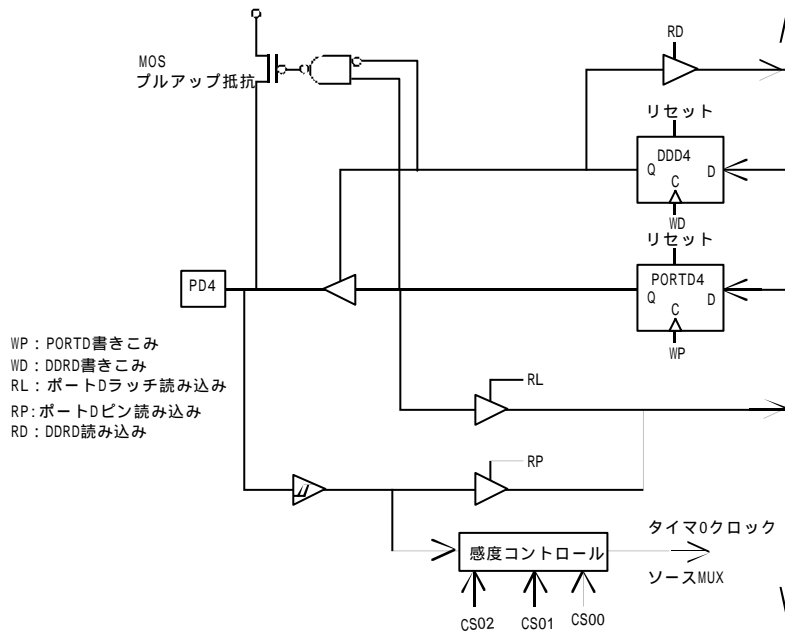


図 29 ポート D の回路図(PD4 ピン)



AT90S1200

メモリのプログラミング

プログラミングとデータメモリロックビット

AT90S1200 は 2 つのロックビットを持っており、非プログラム「0」、プログラム「1」状態にして表 12 のような特性を得ることができます。ロックビットはチップ消去動作でのみ消去することができます。

表 12 ロックビット保護モード

メモリロックビット			保護の種類
モード	LB1	LB2	
1	1	1	メモリロック機能は有効になっていません
2	0	1	す。
3	0	0	モード 2 と同じです。ベリファイもできません。

注意：1. 平行プログラミング（高い電圧）モードにおいて、ヒューズビットを何度もプログラムすると無効になります。ロックビットをプログラムする前にヒューズビットをかけてください。

ヒューズビット

AT90S1200 は 2 つのヒューズビット SPIEN と RCEN を持っています。

- ・SPIEN ヒューズがプログラム「0」されている時、シリアルプログラムのデータがダウンロードが有効になります。標準値は「0」です。
- ・RCEN ヒューズがプログラムされる時、内部 RC オシレータによる MCU のクロックが選択できます。標準値が消去(=1)されます。需要があれば、このビットを非プログラム状態にして届けることができます。

ヒューズビットはシリアルプログラミングはモードではアクセスできません。ヒューズビットの状態はチップ消去の影響は受けません。

署名バイト

全 Atmel マイクロコントローラは 3 バイトの署名バイトを持っており、デバイスの ID として使います。3 つのバイトは、アドレス空間に分かれます。

AT90S1200 に対し、

1. \$00 : \$1E (Atmel 製品であることを示します。)
 2. \$01 : \$90 (1k バイトのフラッシュメモリを示します。)
 3. \$02 : \$01 (署名バイト\$01 は\$90 になっている場合、AT90S1200 であることを示します。)
1. ロックビットがプログラムされる（ロックモード 3）とき、署名バイトは、シリアルプログラミングモードで読み込まれます。署名ビットを読み込むと返ります。：
\$00,\$01,\$02

フラッシュと EEPROM のプログラミング

Atmel の AT90S1200 には 1k バイトのシステム内蔵プログラム可能フラッシュプログラムメモリと 64 バイトの EEPROM データメモリがあります。

AT90S1200

AT90S1200 は内蔵フラッシュプログラムと EEPROM データメモリ消去された状態（すなわち中身 = SFF）で並んでおり、プログラムする準備ができています。

デバイスは、高電圧（12V）パラレルプログラミングモードとシリアルプログラミングモード（低い電圧）があります。+12V はプログラミング有効にするためにだけ使われ、このピンからは重要な電流が流れてくることはありません。シリアルプログラミングモードでは、ユーザのシステム中にあるデバイスへプログラムやデータのダウンロードができます。

AT90S1200 中の EEPROM と PROGRAM メモリはどのプログラミングモードでもバイトごとにプログラムされます。EEPROM に対して、シリアルプログラミングモード（低い電圧）のセルフタイム書きこみ命令の中で自動消去サイクルが作られます。

プログラミング中に供給電圧は、表 13 と一致していなければなりません。

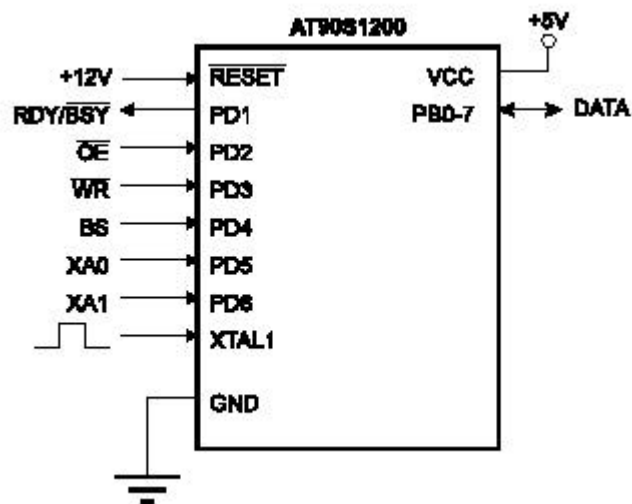
表 13 プログラミング中の供給電圧

型番	シリアルプログラミング	パラレルプログラミング
AT90S1200	2.7. ~ 6.0V	4.5 ~ 5.5V

パラレルプログラミング

この節では、AT90S1200 のフラッシュプログラムメモリ、EEPROM データメモリ、ロックビット、ヒューズビットのプログラム・ベリファイの方法を説明しています。

図 30 パラレルプログラミング



信号名

この節では AT90S1200 のいくつかのピンがピンの名前ではなく、パラレルプログラミング中の信号名で説明されています。図 30 と表 14 を参照してください。表 14 に説明されていないピンは、ピン名で参照できます。

XA1/XA ピンで XTAL1 ピンが正のパルスを与えられるときに実行される内容が決まります。

AT90S1200

コードについては表 15 を参照してください。

WR と OE にパルスを送ると、ロードされるコマンドで実行内容が決まります。表 16 に示されている機能がそれぞれのビットに割り当てられているバイトがコマンドになります。

表 14 ピン名のマッピング

プログラミングモードでの信号名	ピン名	入/出力	機能
RDY/BSY	PD1	出力	0:デバイスにプログラミング中 1:デバイスに新しいコマンドの準備ができています。
OE	PD2	入力	出力有効 (アクティブ)
WR	PD3	入力	パルスに書きこみ (アクティブ)
BS	PD4	入力	バイト選択(0で下位バイト、1で上位バイト)
XA0	PD5	入力	XTAL動作ビット0
XA1	PD6	入力	XTAL動作ビット1
DATA	PB0~7	入/出力	双方向データバス (OEがレベルの時、出力)

表 15 XA1/XA0 のコード

XA1	XA0	XTAL1パルスに対する動作
0	0	フラッシュ EEPROMアドレスのロード (フラッシュ用の上下位アドレスバイトはBSによって決まります。)
0	1	データのロード (フラッシュの上・下位データはBSで決まります)
1	0	コマンドのロード
1	1	何も起こりません、アイドル状態

表 16 コマンドバイトのコード

コマンドのコード	実行されるコマンド
1000 0000	チップ消去
0100 0000	ヒューズビットの書きこみ
0010 0000	ロックビットの書きこみ
0001 0000	フラッシュの書きこみ
0001 0001	EEPROMの書きこみ
0000 1000	署名バイトの読み込み
0000 0100	ヒューズ・ロックビットの読み込み
0000 0010	フラッシュの読み込み
0000 0011	EEPROMの読み込み

プログラミングモードに入る

パラレルプログラミングモードで次のアルゴリズムをデバイスに入れてください。

1. 表 13 に従って Vcc から GND の間の電源電圧をかけてください。
2. RESET と BS ピンを「0」にして、少なくとも 100ns 待ってください。
3. RESET に 11.5~12.5V をかけてください。12V が RESET に加えられた後、100ns 以内に BS に変化があると、デバイスがプログラミングモードに入ることはできません。

チップ消去

チップ消去コマンドはフラッシュとプログラムメモリとロックビットが消去されます。ロックビットは、フラッシュ EEPROM が完全に消去されるまでロックビットはリセットされません。ヒューズビットは変わりません。フラッシュまたは EEPROM が再プログラム

AT90S1200

される前にチップ消去が行わなければなりません。

A: “Chip Erase”のコマンドのロード。

1. XA1、XA0 を 10 に設定してください。これによりコマンドのロードが可能になります。
2. BS を「0」に設定してください。
3. DATA を “ 1000 0000 ” に設定してください。これは、チップ消去のコマンドです。
4. XTAL1 に正パルスを与えてください。これでコマンドをロードします。
5. WR に t_{WLWH_CE} に負パルスを与えて、Chip Erase を実行できます。 t_{WLWH_CE} は表 17 中にあります。チップ消去は RDY/BSY ピンに変化を起こしません。

フラッシュのプログラミング

A: 「書きこみフラッシュ」ロードコマンド

1. XA1、XA0 を 10 に設定してください。
2. BS を「0」に設定して下さい。
3. DATA を「0001 0000」に設定して下さい。フラッシュの書きこみのコマンドです。
4. XTAL1 に正パルスを与えてください。これでコマンドをロードします。

B: アドレスの上位バイトのロード

1. XA1 と XA0 を「00」に設定して下さい。
2. BS を「1」に設定して下さい。
3. DATA=アドレスの下位バイトを(00 ~ FF)に設定して下さい。
4. XTAL1 に正パルスを加えてください。これによりアドレスの上位バイトがロードされます。

C: 下位バイトのアドレスをロード

1. XA1 と XA0 を「00」に設定して下さい。これでアドレスのロードがイネーブルになります。
2. BS を「0」に設定して下さい。これにより下位バイトを選択します。
3. DATA=データ下位バイト(\$00 ~ \$FF)に設定して下さい。
4. XTAL1 に正パルスを与えてください。これによりデータの下位バイトを設定します。

D: 下位バイトのデータロード

1. XA1 と XA0 を「01」に設定して下さい。これで、データがロードされます。
2. DATA=データ下位バイトを(\$00 ~ \$FF)に設定して下さい。
3. XTAL1 に正パルスを与えてください。これにより、下位バイトデータがロードされます。

E: 下位データバイトの書きこみ

1. BS を 0 に設定して下さい。下位データを選択します
2. WR に負パルスを与えてください。これにより、データバイトのプログラミングが始まります。RDY/BSY は L レベルへ下がります。

AT90S1200

3. RDY/BSY が次のバイトをプログラムするために H レベルにあがるまで待ってください。

(信号波形は図 31 を参照して下さい。)

F: H バイトデータのロード

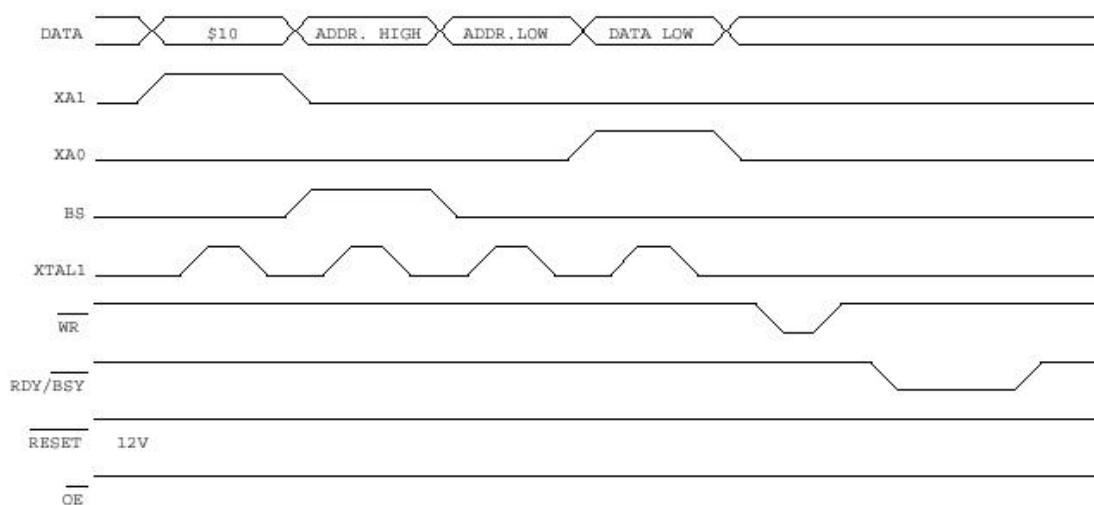
1. XA0、XA1 を「01」に設定して下さい。これによりデータロードがイネーブルになります。
2. DATA=データ上位バイトを (\$00 ~ \$FF) に設定して下さい。
3. XTAL1 に正パルスを与えてください。これで、データの上位バイトがロードされます。

G: データの上位バイトの書きこみ

1. BS を 1 に設定して下さい。これにより上位データが設定されます。
2. WR に負パルスを加えてください。これにより、データバイトのプログラミングが始まります。十分なプログラミングを行うために次のことを考えておいてください。
 - ・多数のメモリ位置を読み込んだり・書きこむときコマンドは一度だけロードされる必要があります。
 - ・上位バイトのアドレスはフラッシュに新しい 256 ワードのページをプログラムする前にロードされる必要があります。
 - ・データ値に \$FF を書きこまないで下さい。チップ消去の後の全フラッシュと EEPROM の内容になります。これらのことは EEPROM のプログラミング、フラッシュ、EEPROM、署名バイトのよみこみにも適用します。

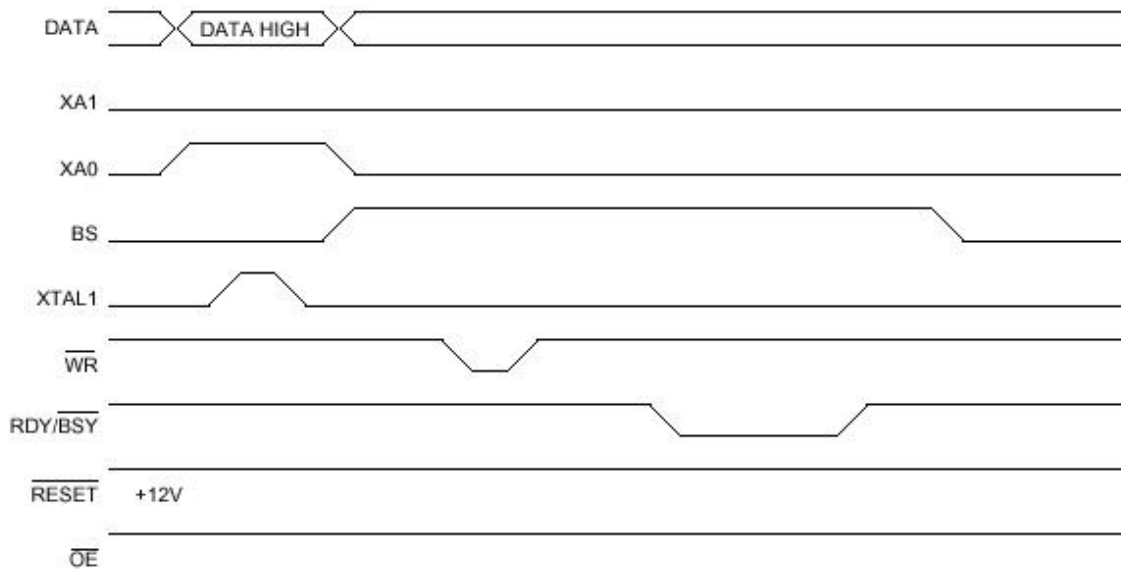
図 31 フラッシュ波形プログラミング

Figure 31. Programming the Flash Waveforms



AT90S1200

図 32 フラッシュと波形のプログラミング



フラッシュの読み込み

フラッシュメモリを読み込むためのアルゴリズムは次の通りです。(コマンドとアドレスのロードについての詳しいことはフラッシュのプログラミングを参照して下さい。)

1. A : 「0000 0010」ロードコマンド
2. B : 上位バイトのアドレスのロード (\$ 00 ~ \$ 01)
3. C : 下位バイトアドレスのロード (\$ 00 ~ \$ FF)
4. OE を 0 に設定、BS を 0 に設定して下さい。下位アドレスのフラッシュは DATA で読むことができます。
5. BS を 「1」 に設定して下さい。上位バイトのフラッシュワードは DATA から読み込むことができます。
6. OE を 1 に設定して下さい。

EEPROM のプログラミング

EEPROM データのプログラミングアルゴリズムは次の通りです。(アドレスとデータのロードコマンドの詳しいことはフラッシュのプログラミングを参照して下さい。)

1. A : ロードコマンド 「0001 0001」
2. C : 下位バイトアドレス (\$ 00 ~ \$ 3F) のロード
3. D : データ下位バイト (\$ 00 ~ \$ FF) のロード
4. E : データ下位バイトの書きこみ。

EEPROM の読み込み

EEPROM メモリを読み込むためのアルゴリズムは次の通りです。(コマンドとアドレスの

AT90S1200

ロードについての詳細は、フラッシュのプログラミングを参照して下さい。)

1. A : 「0000 0011」ロードコマンド
2. C : 下位バイトのアドレス(\$00 ~ \$3F)のロード
3. OE 設定を「0」に、BS を「0」の設定して下さい。EEPROM データは DATA に読み込むことができます。
4. OE を 1 に設定して下さい。

ヒューズビットのプログラミング

ヒューズビットのプログラミングのアルゴリズムは次の通りです。(コマンドとロードのプログラミングの詳細はフラッシュのプログラミングを参照して下さい。)

1. A : 「0100 0000」のロードコマンド
2. B : データ下位バイトのロード。ビット n=0 でヒューズビットがプログラムになります。
ビット 5=SPIEN ヒューズ
ビット 0=RCEN ヒューズ

ビット 7~6、4~1=1。これらのビットは予約されており、非プログラム状態「1」にしておかなければなりません。

3. WR は t_{WLWH_PFB} の時間幅を持つ負パルスを与えて、プログラムを実行して下さい。
 t_{WLWH_PFB} は表 17 にあります。ヒューズビットをプログラミングしても、RDY/BSY ピンでは何も起こりません。

ロックビットのプログラミング

ロックビットのプログラミングのアルゴリズムは次の通りです。(コマンドとデータのロードの詳細に付いてはフラッシュのプログラミングを参照して下さい。)

1. A : 「0010 0000」ロードコマンド
2. D : データ下位バイトのロード。ビット n=0 でロックビットをプログラムします。
ビット 2=ロックビット 2
ビット 1=ロックビット 1
ビット 7~3、0=1、これらのビットは予約されており、非プログラム状態「1」にしておいてください。

3. E : データ下位バイトの書きこみ。

ロックビットはチップ消去を実行することのみによりクリアされます。

ヒューズとロックビットの読み込み

ヒューズとロックビットを読み込むためのアルゴリズムは次の通りです。(コマンドとデータのロードの詳細に付いてはフラッシュのプログラミングを参照して下さい。)

1. A : 「0000 0100」ロードコマンド

AT90S1200

2. OE を 0 に、BS を 1 に設定して下さい。ヒューズとロックビットの状態は、DATA で読み取ることができます。（「0」はプログラムされている状態を意味します。）

- ビット 7=ロックビット 1
- ビット 6=ロックビット 2
- ビット 5=SPIEN ヒューズ
- ビット 0=RCEN ヒューズ

3. OE を 1 に設定して下さい。

特に、BS が 1 に設定される必要があることを特に注意して下さい。

署名バイトの読み込み

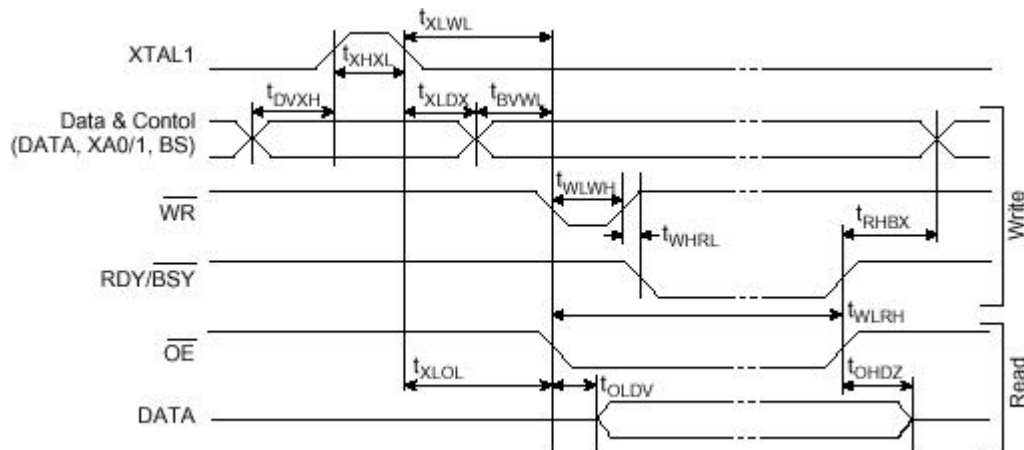
署名バイトの読み込みのアルゴリズムは次の通りです。（コマンドとデータのロードの詳細に付いてはフラッシュのプログラミングを参照して下さい。）

1. A : 「0000 1000」 ロードコマンド
2. C : 下位バイトアドレス（\$00 ~ \$02）のロード

OE を 0 に、BS を 0 に設定して下さい。選択された署名バイトは、DATA で読み込まれます。

3. OE を 1 に設定して下さい。

図 33 パラレルプログラミングの時間間隔



AT90S1200

表 17 パラレルプログラミングの特性 $T_A=25 \pm 10\%$ 、 $V_{CC}=5V \pm 10\%$

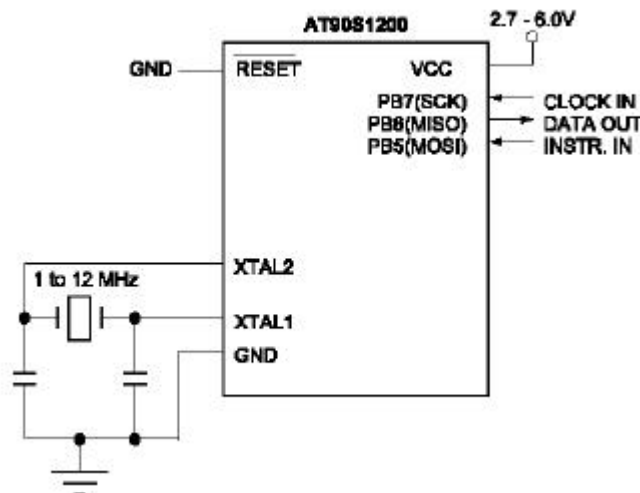
Symbol	Parameter	Min	Typ	Max	Units
V_{PP}	Programming Enable Voltage	11.5		12.5	V
I_{PP}	Programming Enable Current			250	μA
t_{DVXH}	Data and Control Setup before XTAL1 High	67			ns
t_{XHXL}	XTAL1 Pulse Width High	67			ns
t_{XLDX}	Data and Control Hold after XTAL1 Low	67			ns
t_{XLWL}	XTAL1 Low to \overline{WR} Low	67			ns
t_{BVWL}	BS Valid to \overline{WR} Low	67			ns
t_{RHBX}	BS Hold after RDY/ \overline{BSY} High	67			ns
t_{WLWH}	\overline{WR} Pulse Width Low ⁽¹⁾	67			ns
t_{WHRL}	\overline{WR} High to RDY/ \overline{BSY} Low ⁽²⁾		20		ns
t_{WLRH}	\overline{WR} Low to RDY/ \overline{BSY} High ⁽²⁾	0.5	0.7	0.9	ms
t_{XLOL}	XTAL1 Low to \overline{OE} Low	67			ns
t_{OLDV}	\overline{OE} Low to DATA Valid		20		ns
t_{OHDZ}	\overline{OE} High to DATA Tri-stated			20	ns
t_{WLWH_CE}	\overline{WR} Pulse Width Low for Chip Erase	5	10	15	ms
t_{WLWH_PFB}	\overline{WR} Pulse Width Low for Programming the Fuse Bits	1.0	1.5	1.8	ms

- 注意
1. t_{WLWH_CE} はチップ消去用で t_{WLWH_PFB} はヒューズビットのプログラミング用です。
 2. t_{WLWH} は t_{WLRH} よりも長く保たれていると、RDY/BSY パルスが見られることはありません。

シリアルダウンロード

プログラムデータとメモリ配列は RESET がグランドに落ちている間、SPI を使ってプログラムすることができます。シリアルインターフェイスは SCK、MOSI (入力)、MISO (出力) ピンからなります。図 34 を参照してください。RESET が L レベルになったあと、プログラミングイネーブル命令は、プログラム/消去命令が実行されるまでに、最初に行う必要があります。

図 34 シリアルプログラミングとベリファイ



AT90S1200

EEPROM では、自動消去サイクルがセルフタイマの書きこみ命令で作られるので、最初にチップ消去命令を行う必要はありません。チップ消去命令は、プログラムと EEPROM 配列中のすべてのメモリ位置の内容がすべて\$FF に変わります。

プログラムと EEPROM メモリ配列は別々のアドレス空間を持っており、フラッシュメモリは\$0000 ~ \$01FF、EEPROM データメモリでは\$000 ~ \$03F まであります。

外部クロックを XTAL1 ピンに加えるか、水晶を XTAL1 と XTAL2 をはさんで接続しておく必要があります。シリアルクロック入力のための L レベルと H レベルの最小周期が次のように定義されます。

L レベル : 1 XTAL 1 クロックサイクル

H レベル : 4 XTAL 1 クロックサイクル

シリアルプログラミングのアルゴリズム

シリアルデータを AT90S1200 を書きこむとき、データは SCK の立ち上がりエッジでクロックされます。

AT90S1200 から読み込むとき、データは SCK の立ち下がりエッジでクロックされます。タイミングの詳細は、図 35、図 36、表 20 を参照してください。

シリアルプログラミングモードにおいて、AT90S1200 をプログラム・ベリファイするためには、次のシーケンスを推奨しています。(表 17 の 4 バイト命令の形式を参照してください。)

1. パワーアップシーケンス

RESET と SCK が 0 に設定されている場合、Vcc と GND の間に電源を加えてください。XTAL1 と XTAL2 に水晶がつながっていない場合、または内部 RC オシレータからデバイスが駆動されていない場合、XTAL1 ピンにクロック信号を与えてください。パワーアップの間 SCK が L レベルになっている保証がない場合、RESET ピンを SCK が 0 に設定してから、正パルスで RESET を与えてください。

2. 最低 20ms 待って、MOSI (PB5) ピンへプログラムイネーブル命令を送ることによってシリアルプログラミングが有効になります。

3. チップ消去プログラムが実行される(フラッシュを消去するのになされなければなりません。)場合、命令後時間 t_{WD_ERASE} だけ待って、RESET に正パルスを与えてください。ステップ 2 から始めてください。 t_{WD_ERASE} の値の付いては 49 の表 21 を参照して下さい。

4. フラッシュまたは EEPROM 配列は一度に 1 バイトごとプログラムされ、アドレスとデータを適当な書きこみ命令でと緒に出します。EEPROM メモリ位置は、新しくデータが書きこまれる前に最初に自動消去されます。送信命令の後、 t_{WD_PROG} 待ってください。消去されたデバイスでは、データファイル中の\$FF はプログラムしておく必要があります。

t_{WD_PROG} の値の付いては 49 の表 22 を参照して下さい。

AT90S1200

5. 読み込み命令を使って、どんなメモリの位置でもベリファイできます。シリアル出力 MISO (PB6) ピンに選択されたアドレスの定数を返します。プログラムの最後で通常動作を行わせるために RESET を H レベルにしておくことができます。

6. パワーオフシーケンス (必要な場合)

XTAL1 を 0 に設定してください。(水晶が使われていない場合または内蔵 RC オシレータから動いている場合)

RESET を 1 に設定して下さい。

Vcc を OFF にして下さい。

EEPROM データポーリング

1 バイトが EEPROM へプログラムされる場合、プログラムされているアドレスを読み込んでいる間は、自動消去が終わるまで P1 の値になり、その後 P2 の値になります。P1 と P2 の値については、表 18 を参照してください。

デバイスが新しい EEPROM バイトに対して準備ができている時には、プログラム値が正しく読み込まれます。これは、いつ次のバイトを書きこむことができるかを決めるために使います。これは P1 と P2 の値には作用しないため、これらの値をプログラムするときは、次のバイトをプログラムする前に、少なくとも規定の時間 t_{WD_PROG} だけ待たなければいけません。 t_{WD_PROG} の値については表 22 を参照してください。チップ消去されたデバイスは全ロケーションで \$FF になっているので、\$FF を含んでいるアドレスのプログラミングはスキップされます。最初にチップ消去されたデバイス以外では EEPROM が再プログラムされてもこれは、適用されません。

フラッシュのデータポーリング

フラッシュにバイトがプログラムされている場合、プログラムされているアドレスを読み込むと \$FF になります。デバイスが新しい EEPROM バイトに対して準備ができている時には、プログラム値が正しく読み込まれます。これは、いつ次のバイトを書きこむことができるかを決めるために使います。これは値 \$FF に対しては作用しないため、これらの値をプログラムするときは、次のバイトをプログラムするまで、少なくとも規定の時間 t_{WD_PROG} だけ待たなければいけません。チップ消去されたデバイスは全ロケーションで \$FF になっているので、\$FF を含んでいるアドレスのプログラミングはスキップされます。これは、最初にチップ消去をせずに EEPROM を再プログラムした場合当てはまりません。

表 18 EEPROM ポーリング中の読み返し値

Part	P1	P2
AT90S1200	\$00	\$FF

AT90S1200

図 35 シリアルプログラミング波形

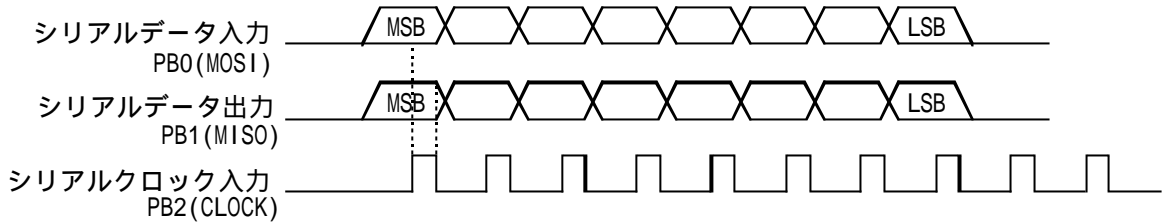


表 19 AT90S1200 のシリアルプログラミング命令

Instruction	Instruction Format				Operation
	Byte 1	Byte 2	Byte 3	Byte 4	
Programming Enable	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	Enable Serial Programming while $\overline{\text{RESET}}$ is low.
Chip Erase	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	Chip Erase both Flash and EEPROM memory arrays.
Read Program Memory	0010 #000	0000 000a	bbbb bbbb	oooo oooo	Read H (high or low) byte o from Program memory at word address a.b.
Write Program Memory	0100 #000	0000 000a	bbbb bbbb	iiii iiii	Write H (high or low) byte i to Program memory at word address a.b.
Read EEPROM Memory	1010 0000	0000 0000	00bb bbbb	oooo oooo	Read data o from EEPROM memory at address b.
Write EEPROM Memory	1100 0000	0000 0000	00bb bbbb	iiii iiii	Write data i to EEPROM memory at address b.
Write Lock Bits	1010 1100	1111 1211	xxxx xxxx	xxxx xxxx	Write Lock bits. Set bits 1,2='0' to program Lock bits.
Read Signature Byte	0011 0000	xxxx xxxx	xxxx xxbb	oooo oooo	Read Signature byte o from address b. ⁽¹⁾

注意 a=上位ビットアドレス

b=下位ビットアドレス

H=0 下位バイト、1 上位バイト

o=データ出力

i=データ入力

x =値に依存しない

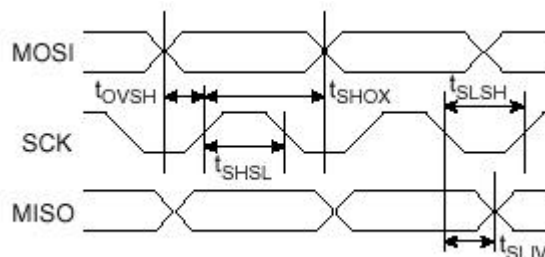
1=ロックビット 1

2=ロックビット 2

注意 1.署名バイトはロックモード 3 すなわち両ロックビットがプログラムされている時、読み込むことができません。

シリアルプログラミングの特性

図 36 シリアルプログラミングとベリファイ



AT90S1200

表 20 低電圧シリアルプログラミングの特性

$T_A = -40 \sim 85$ 、 $V_{CC} = 2.7 \sim 6.0V$ (とくに断りがない場合)

Symbol	Parameter	Min	Typ	Max	Units
$1/t_{CLCL}$	Oscillator Frequency ($V_{CC} = 2.7 - 4.0V$)	0		4	MHz
t_{CLCL}	Oscillator Period ($V_{CC} = 2.7 - 4.0V$)	250			ns
$1/t_{CLCL}$	Oscillator Frequency ($V_{CC} = 4.0 - 6.0V$)	0		12	MHz
t_{CLCL}	Oscillator Period ($V_{CC} = 4.0 - 6.0V$)	83.3			ns
t_{SHSL}	SCK Pulse Width High	$4 t_{CLCL}$			ns
t_{SLSH}	SCK Pulse Width Low	t_{CLCL}			ns
t_{OVSH}	MOSI Setup to SCK High	$1.25 t_{CLCL}$			ns
t_{SHOX}	MOSI Hold after SCK High	$2.5 t_{CLCL}$			ns
t_{SLIV}	SCK Low to MISO Valid	10	16	32	ns

表 21 チップ消去命令の後の最小待ち時間

記号	3.2V	3.6V	4.0V	5.0V
t_{WD_ERASE}	18ms	14ms	12ms	8ms

表 22 フラッシュか EEPROM に書きこんだ後の最小待ち時間

記号	3.2V	3.6V	4.0V	5.0V
t_{WD_PROG}	9ms	7ms	6ms	4ms

電気的特性

最大定格

動作温度	-55 ~ +125
耐久温度	-65 ~ +150
RESET端子以外の GNDに対する電圧	-1.0V ~ $V_{CC} + 0.5V$
RESET端子の GNDに対する電圧	-1.0V ~ +13.0V
最大動作電圧	6.6V
I/Oピン1本あたりの直流電流	40.0mA
V_{CC} とGNDピンの直流電流	200.0mA

注意：最大定格を超える値を加えると、デバイスに致命的な損傷を与えることがあります。この定格は、内部破壊のおこる定格であって、この値での動作を保証するものではありません。この仕様の動作の節に示されている値を超える他の条件でデバイスが動作することは保証していません。最大定格に長くさらされると、デバイスの信頼性に影響を与えることがあります。

AT90S1200

DC 特性 $T_A = -40 \sim 85$ 、 $V_{CC} = 2.7 \sim 6.0V$ (とくに断りがない場合)

記号	パラメータ	条件	最小値	標準値	最大値	単位
V_{IL}	Lレベル入力電圧	(XTALピンを除く)	-0.5		$0.3V_{CC}^{(1)}$	V
V_{IL1}	Lレベル入力電圧	XTALピン	-0.5		$0.1^{(2)}$	V
V_{IH}	Hレベル入力電圧	(XTALRESETを除く)	$0.6V_{CC}$		$V_{CC}+0.5$	V
V_{IH1}	Hレベル入力電圧	XTALピン	$0.7V_{CC}$		$V_{CC}+0.5$	V
V_{IH2}	Hレベル入力電圧	RESETピン	$0.85V_{CC}$		$V_{CC}+0.5$	V
V_{OL}	PORTB出力Lレベル電圧	$I_{OL}=20mA, V_{CC}=5V$			0.6	V
		$I_{OL}=10mA, V_{CC}=3V$			0.5	V
V_{OH}	PORTB出力Hレベル電圧	$I_{OH}=-3mA, V_{CC}=5V$	4.3			V
		$I_{OH}=-1.5mA, V_{CC}=3V$	2.3			V
I_{IL}	I/Oピンの入力漏れ電流	$V_{CC}=6V, L$ レベルのピン(絶対値)			8.0	μA
I_{IH}	I/Oピンの入力漏れ電流	$V_{CC}=6V, H$ レベルのピン(絶対値)			980	nA
RRST	リセットのプルアップ抵抗		100		500	k
$R_{I/O}$	I/Oピンのプルアップ抵		35		120	k
I_{CC}	AT90S2343の電源電流	4MHzで動作、 $V_{CC}=3V$			3.0	mA
		アイドルモード、 $V_{CC}=3V, 4MHz$			3.0	mA
I_{CC}	パワーダウンモード ⁽⁵⁾	$V_{CC}=3V, WDT$ 有効		9	15.0	μA
		$V_{CC}=3V, WDT$ 無効		<1	2.0	μA
V_{ACIO}	アナログコンパレータ入力オフセット電圧	$V_{CC}=5V$			40	mV
I_{ACLK}	アナログコンパレータ入力漏れ電流	$V_{CC}=5V, V_{in}=V_{CC}/2$	-50		50	nA
t_{ACPD}	アナログコンパレータ進行遅延	$V_{CC}=2.7$		750		ns
		$V_{CC}=4.0V$		500		ns

- 「最大」とは、ピンが L レベルとして読み込まれる保証のある値で最高の値のことで、
- 「最小」とは、ピンが H レベルとして読み込まれる保証がある値で最高の値のことで、
- それぞれの I/O ポートは条件より ($V_{CC}=5V$ で 20mA、 $V_{CC}=3V$ で 10mA) の定常な条件のもとで、多く流し込むことができますが、次のことに注意しなければなりません。
 - I_{OL} の和はポートに対して、200mA を越えてはいけません。
 - I_{IOL} の和はポート D0 ~ D5 と XTAL2 に対して 100mA を越えてはいけません。
 - I_{OL} の和は B0 ~ B7、D6 に対しては 100mA を越えてはいけません。

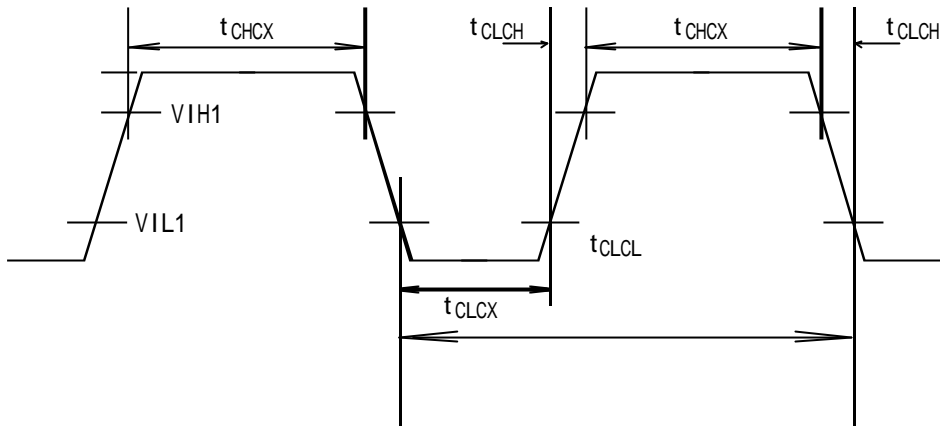
I_{OL} がテスト条件を越えた場合、 V_{OL} が仕様を超えることがあります。ピンが表のテスト条件より大きな電流をシンクする保証はありません。
- それぞれの I/O ポートは ($V_{CC}=5V$ で 20mA、 $V_{CC}=3V$ で 10mA) の定常な条件のもとで、テスト条件以上流し出すことができますが、次のことを注意しなければなりません。
 - I_{OH} の和はポートに対して、200mA を越えてはいけません。
 - I_{IOH} の和はポート D0 ~ D5 と XTAL2 に対して 100mA を越えてはいけません。
 - I_{OH} の和は B0 ~ B7、D6 に対しては 100mA を越えてはいけません。

I_{OH} がテスト条件を越えた場合、 V_{OH} が仕様を超えることがあります。ピンが表のテスト条件より大きな電流を流し出せる保証はありません。
- パワーダウンでは最小 V_{CC} は 2V です。

AT90S1200

外部クロック駆動波形

図 38 波形



外部クロックの駆動

$T_A = -40 \sim 85$

記号	パラメータ	Vcc:2.7 ~ 4.0V		Vcc:4.0 ~ 6.0V		単位
		最小値	最大値	最小値	最大値	
$1/t_{CLCL}$	振動周波数	0	4	0	12	MHz
t_{CLCL}	クロック周期	250		83.3		ns
t_{CHCX}	H レベルの時間	100		33.3		ns
t_{CLCX}	L レベルの時間	100		33.3		ns
t_{CLCH}	立ち上がり時間		1.6		0.5	μs
t_{CHCL}	立ち下がり時間		1.6		0.5	μs

標準的な特性

次の表は標準的な振る舞いを示します。これらのデータは特徴を表していますが、試してあるものではありません。全電流消費の測定は、全 I/O ピンが入力として構成されていて、内部プルアップ抵抗を有効にした状態で行われています。レール トゥ レールの正弦波生成器がクロック源として使われています。

パワーダウンモードの消費電力はクロックの選択とは独立しています。

電流の消費量は、いろいろな要素の関数になっています。例えば、動作電圧、動作周波数、I/O ピンの負荷、I/O ピンの切り替え率、実行コード、周囲温度です。主な要素は、動作電圧と周波数です。

容量負荷からのピンから引き出される電流は、一つのピンに対して $C_L * V_{cc} * f$ として見積もることができます。 C_L = 容量負荷、 V_{cc} = 動作電圧、 f = I/O ピンの平均スイッチング周波数です。部品はテスト限界より高い周波数で代表させてあります。部品は、命令コードが示すより高い値では正常に動きません。

ウォッチドッグタイマが有効になったパワーダウンモードとウォッチドッグ無効のパワーダウンモードの電流消費の差はウォッチドッグタイマの分を引いた差の電流になります。

AT90S1200

図 38 アクティブ時の供給電流 I_{cc} と周波数

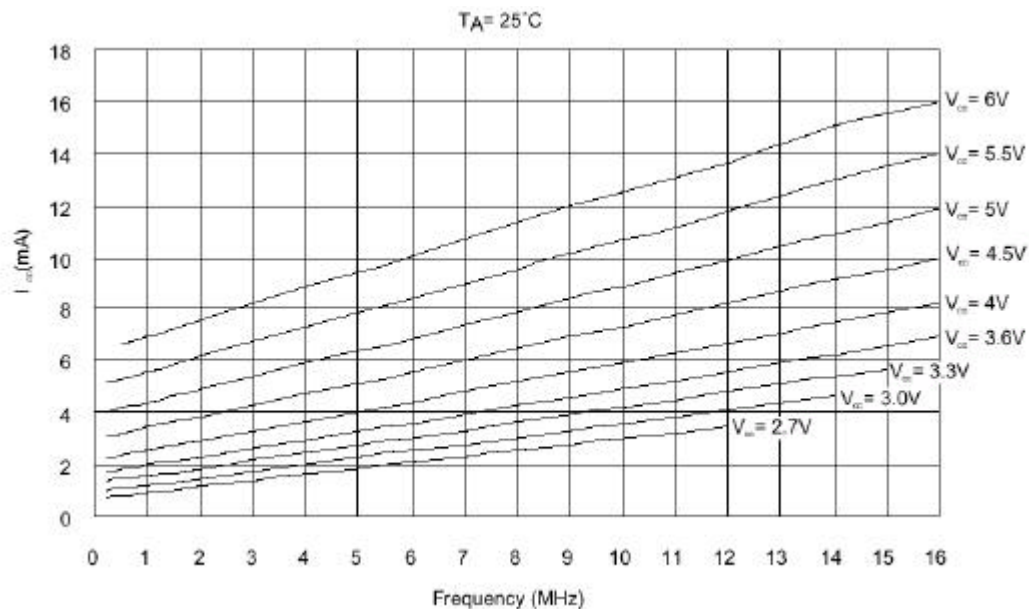
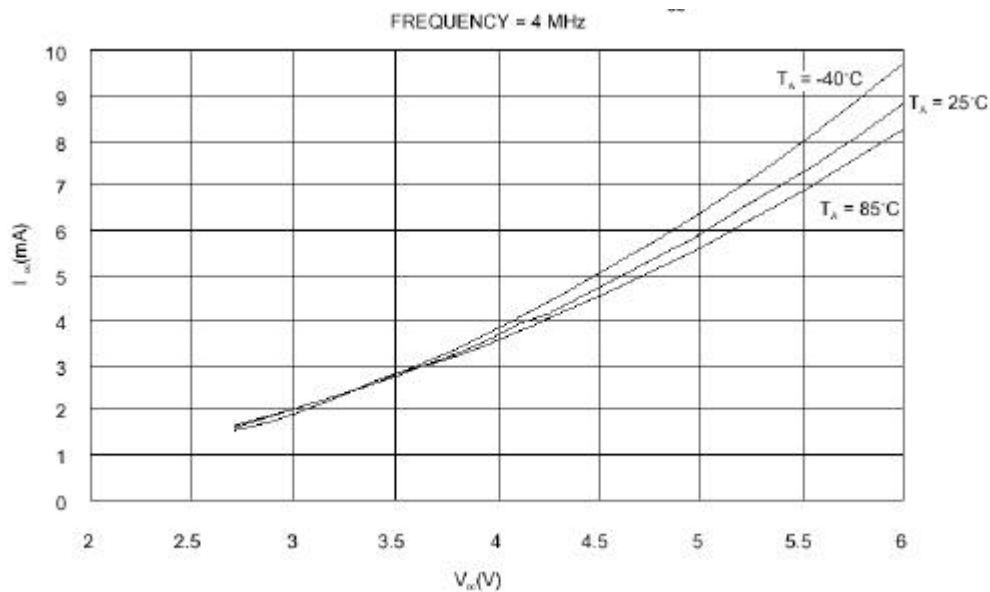


図 39 アクティブ時の供給電流と V_{cc}



AT90S1200

図 40 アクティブ時の供給電流対内部オシレータで駆動しているデバイスの V_{CC}

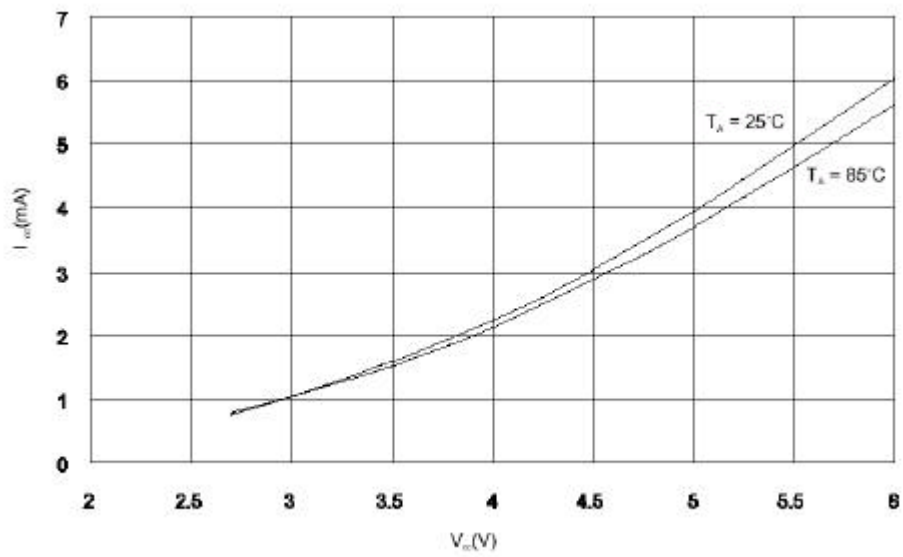
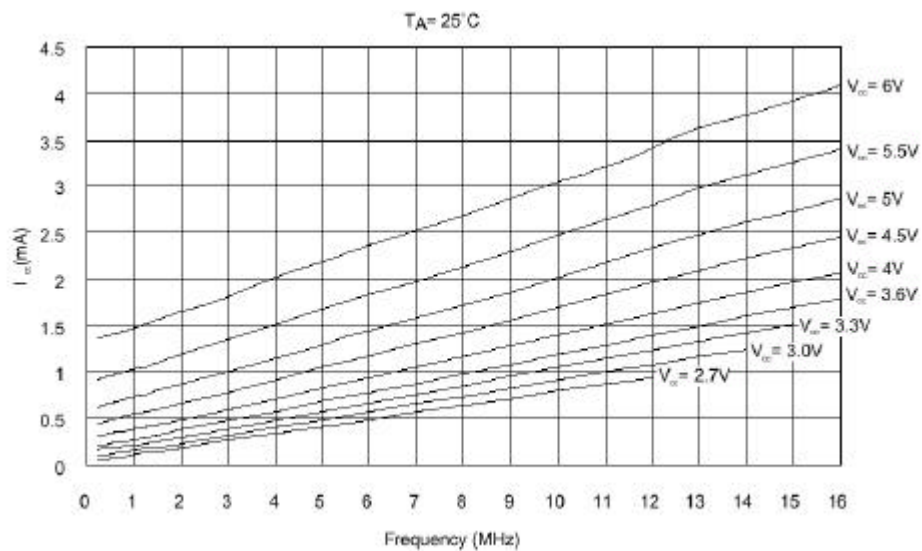


図 41 アイドルモード時の供給電流対周波数



AT90S1200

図 42 アイドルモード時の供給電流対 V_{cc}

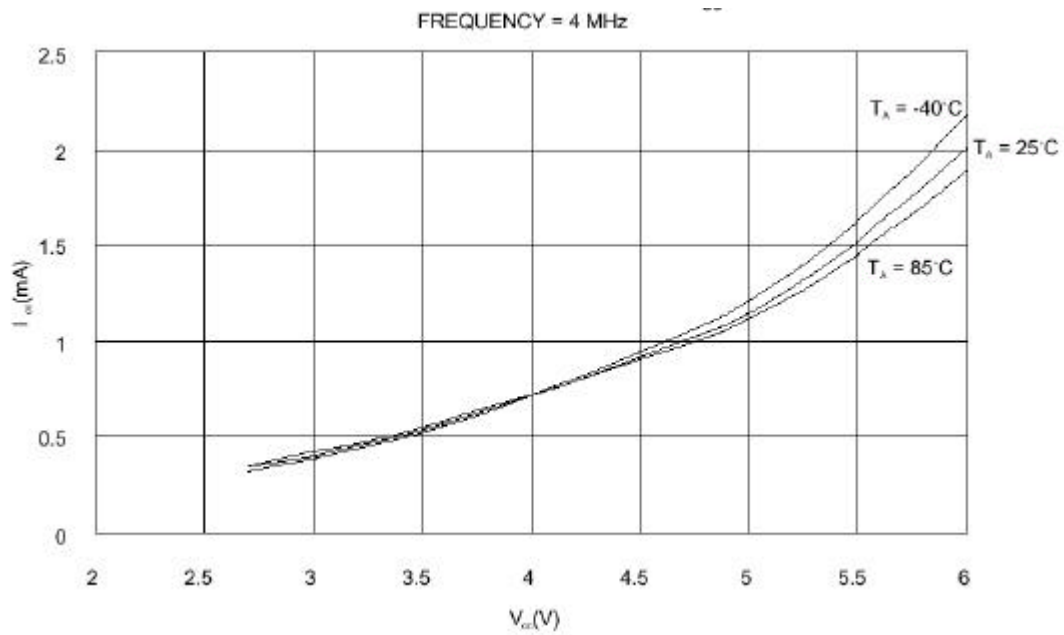
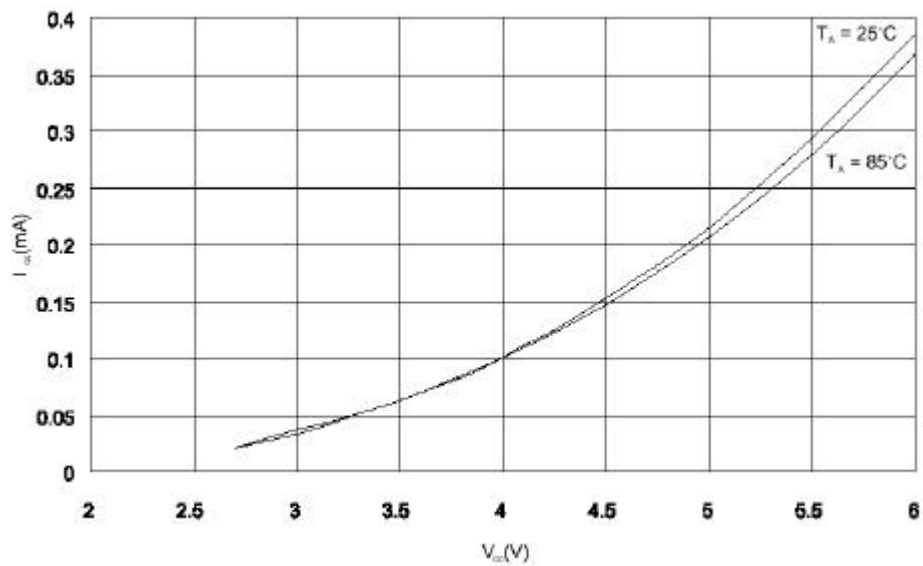


図 43 アイドル供給電流対内部オシレータ駆動のデバイスの V_{cc}



AT90S1200

図 44 パワーダウンモード時の供給電流対ウォッチドッグタイマ無効の時の V_{CC}

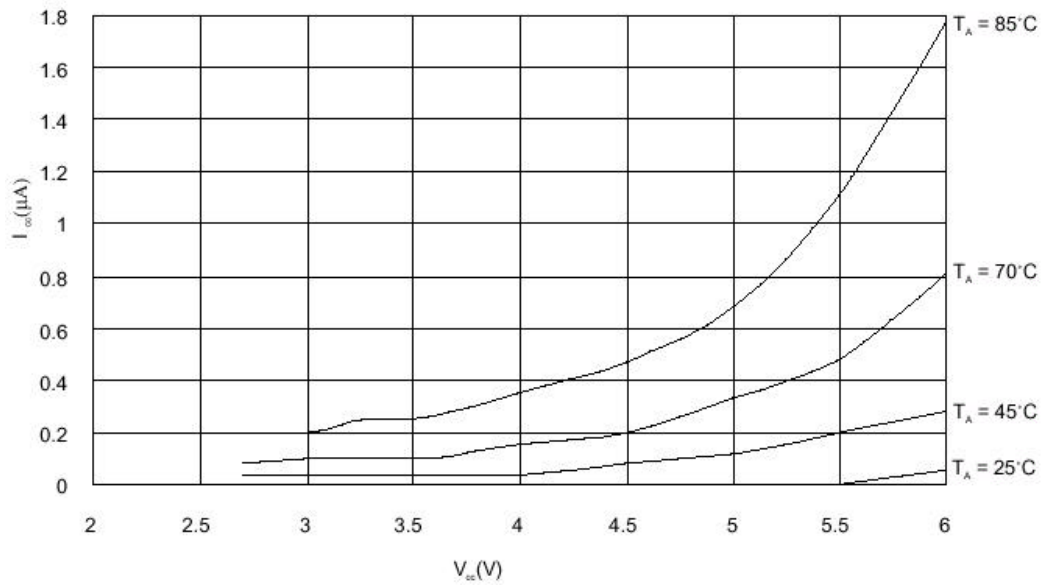
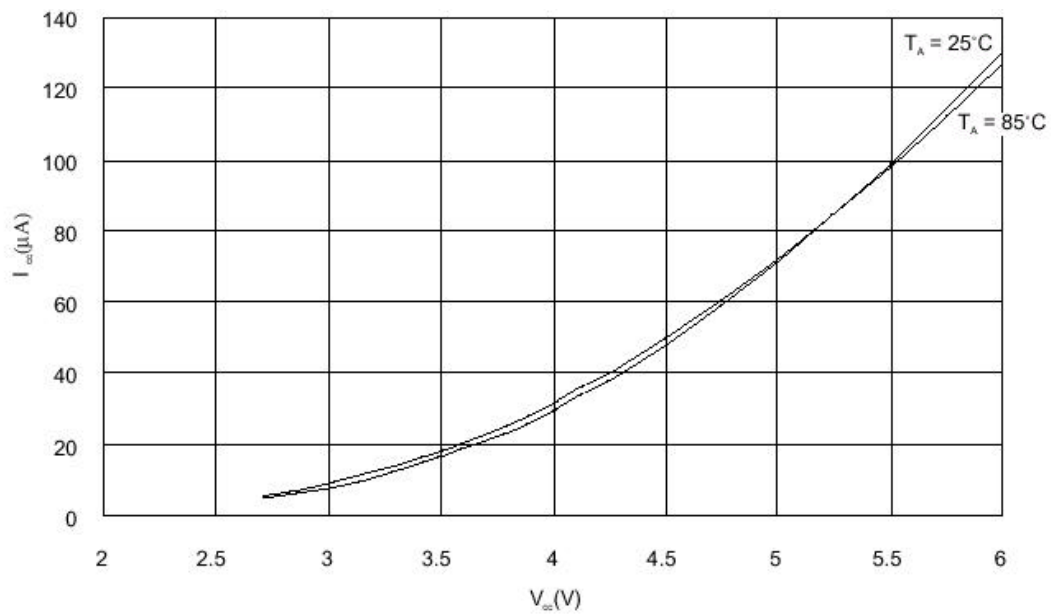


図 45 パワーダウンモードの供給電流対ウォッチドッグタイマ有効の時の V_{CC}



AT90S1200

図 46 内蔵 RC オシレータの周波数対 V_{cc}

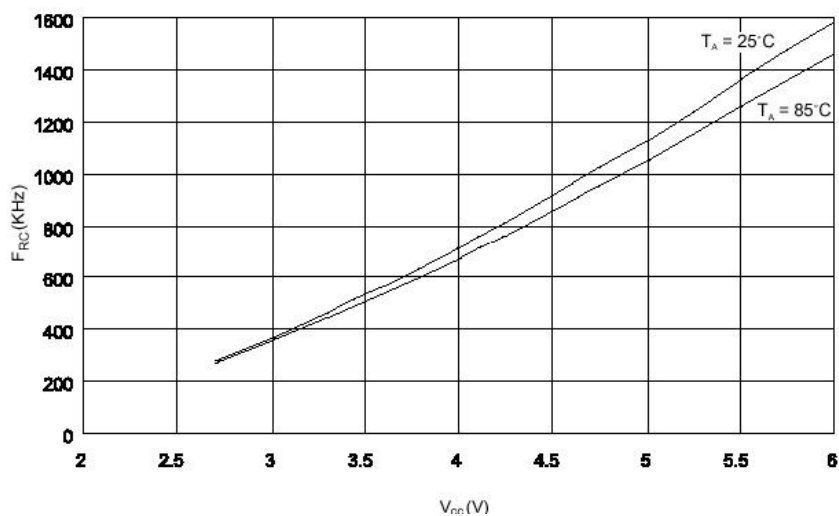
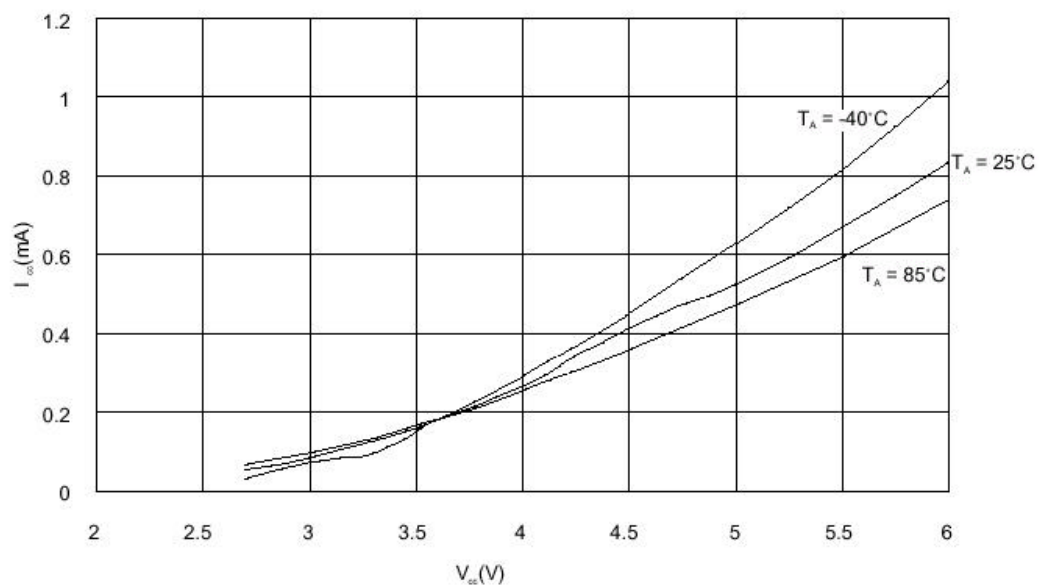


図 47 アナログコンパレータ電流対 V_{cc}



アナログコンパレータオフセットはオフセットの絶対値として測定されています。

AT90S1200

図 48 アナログコンパレータオフセット電圧対コモンモード電圧 $V_{CC}=5V$

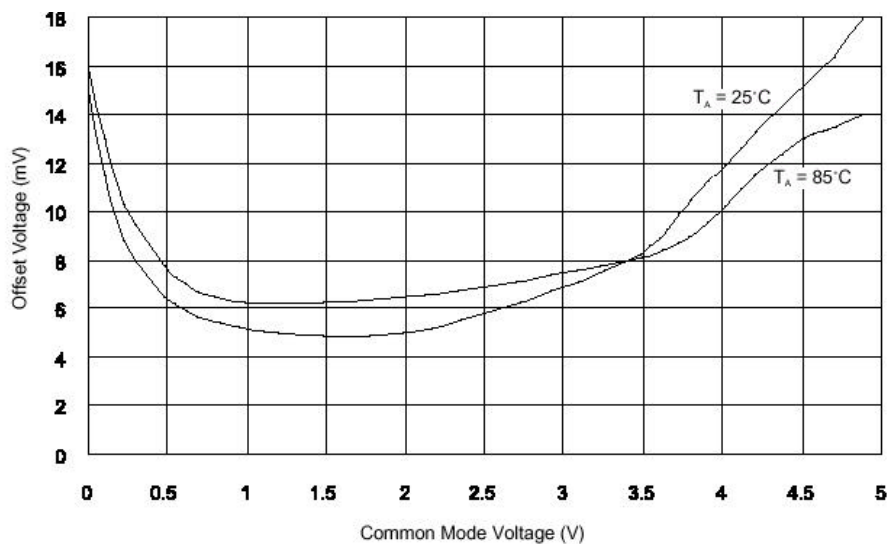
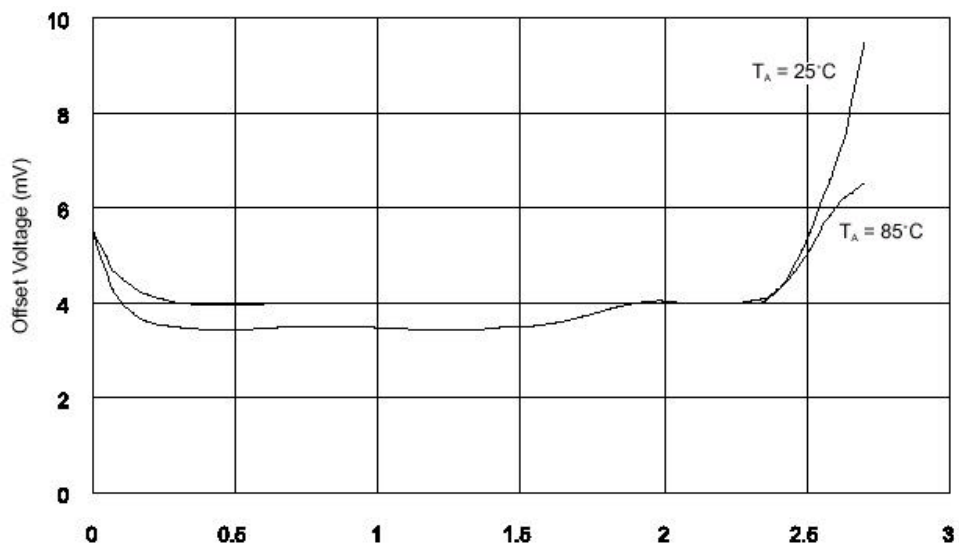
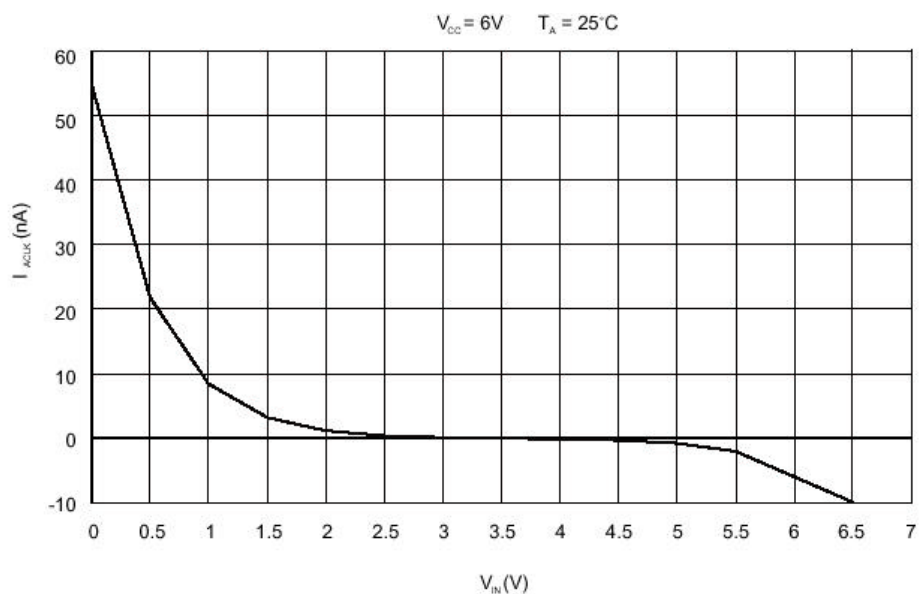


図 49 アナログコンパレータオフセット電圧対コモンモード電圧 $V_{CC}=2.7V$



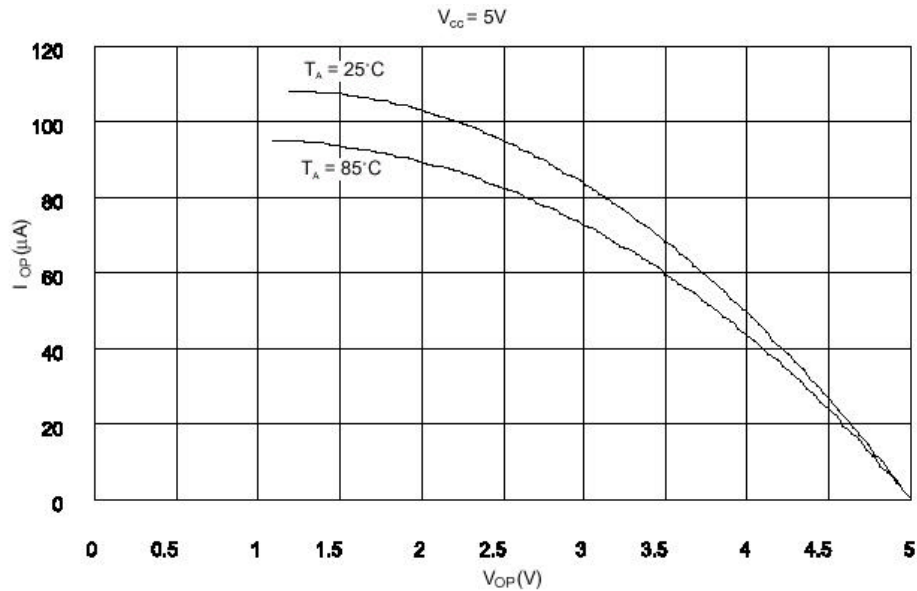
AT90S1200

図 50 アナログコンパレータ入力漏れ電流



I/O ポートのシンク・ソース容量は 1 回でピン 1 本について測定しています。

図 51 プルアップ抵抗電流対入力電圧



AT90S1200

図 52 プルアップ抵抗電流対入力電圧

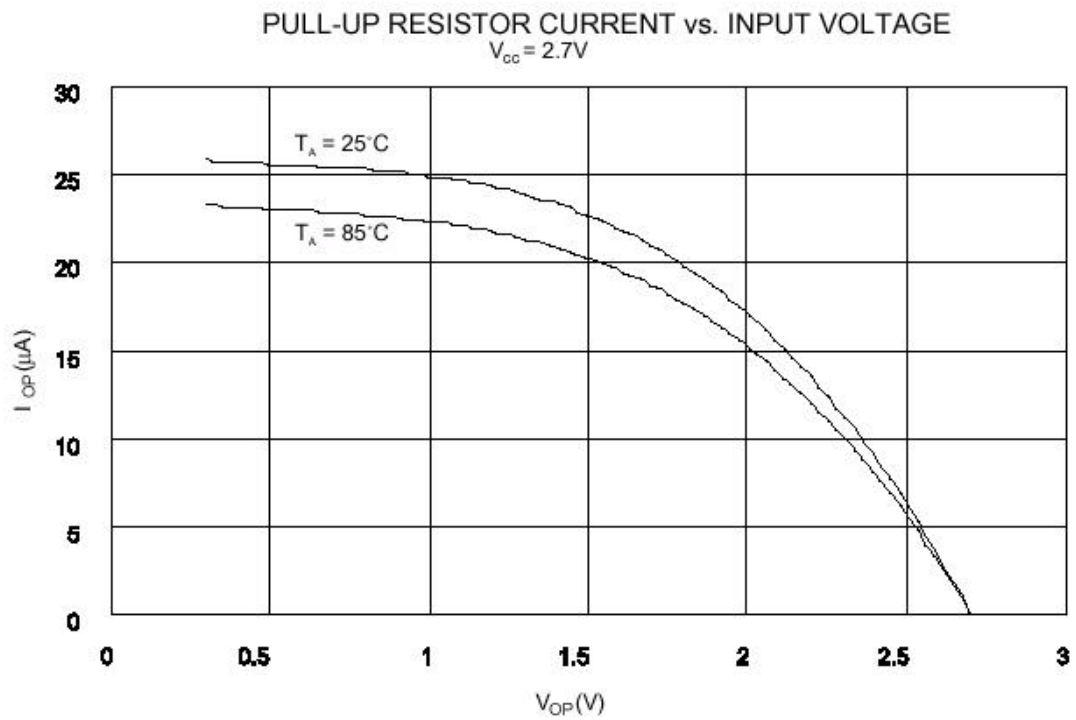
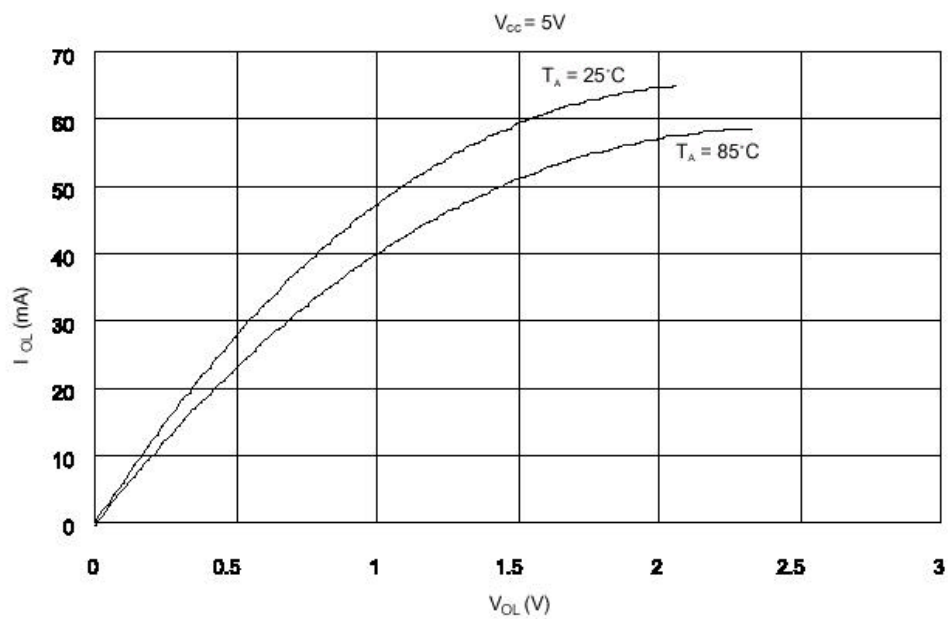


図 53 I/O ピンシンク電流対出力電圧



AT90S1200

図 54 I/O ピンソース電流対出力電圧

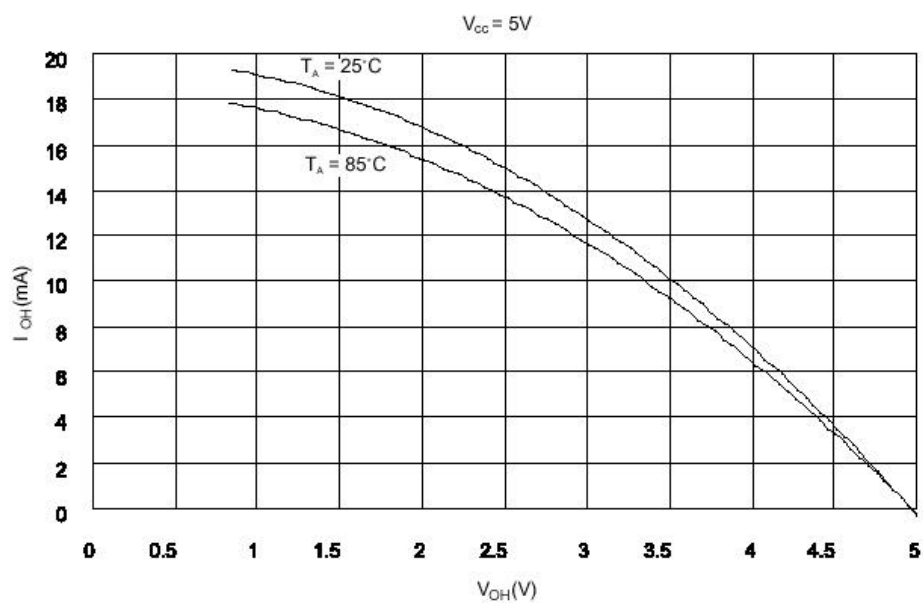
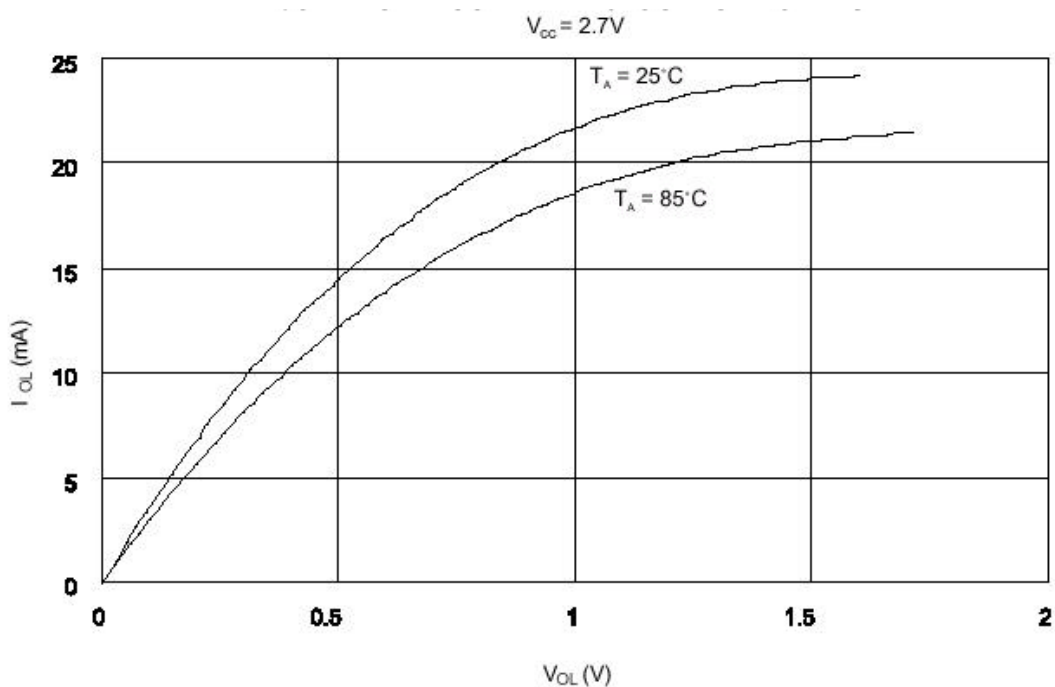
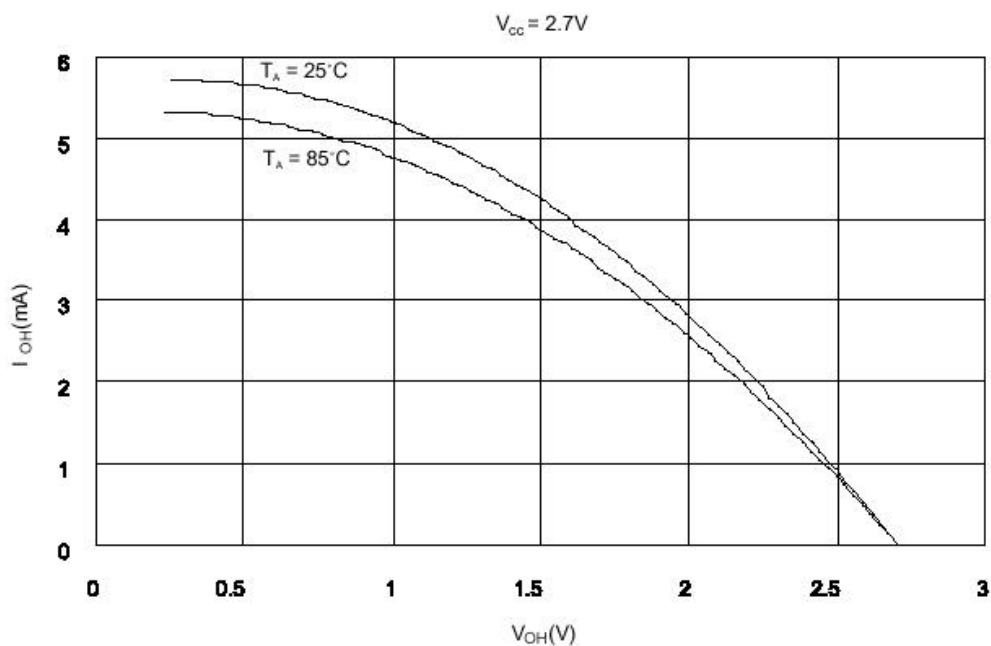


図 55 I/O ピンシンク電流対出力電圧



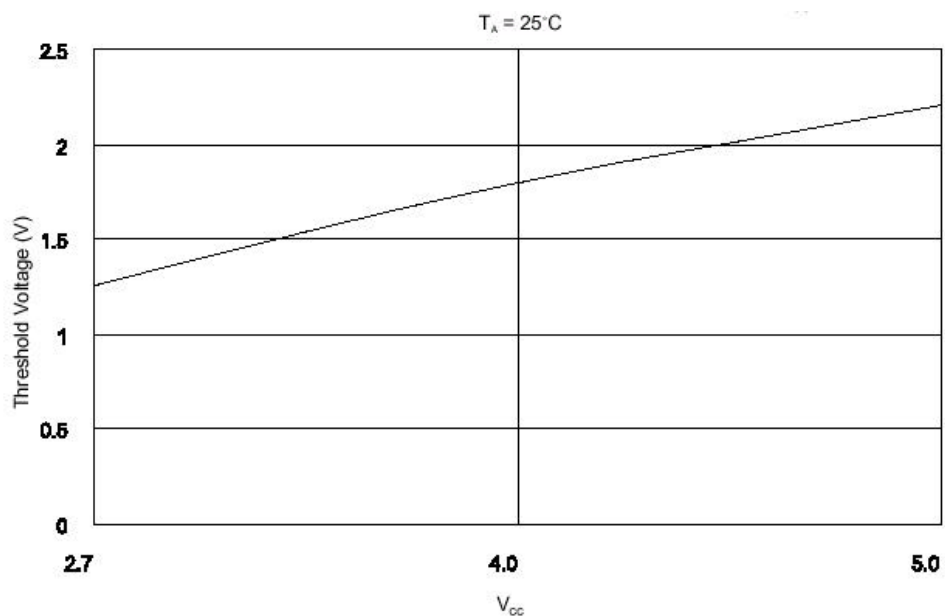
AT90S1200

図 56 I/O ピンソース電流対出力電圧



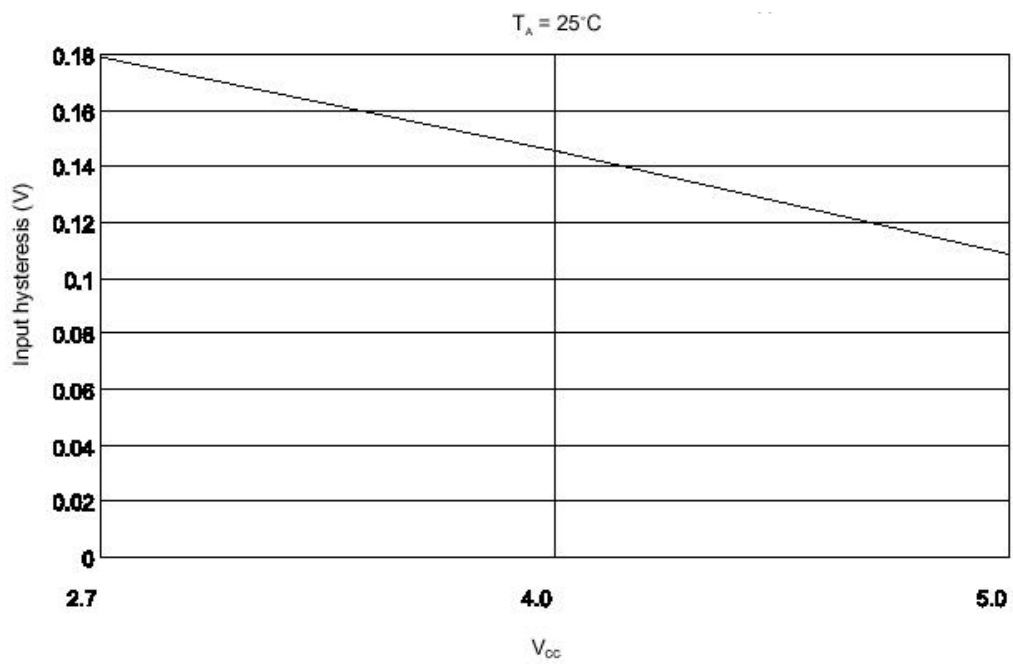
入カスレッシュホールドはヒステリシスの中心で測定しています。

図 57 I/O ピン入カスレッシュホールド電圧対 V_{CC}



AT90S1200

図 58 I/O ピン入力ヒステリシス対 V_{CC}



AT90S1200

AT90S1200 レジスタ概要

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
\$3F	SREG	I	T	H	S	V	N	Z	C
\$3E	Reserved								
\$3D	Reserved								
\$3C	Reserved								
\$3B	GIMSK	-	INT0	-	-	-	-	-	-
\$3A	Reserved								
\$39	TIMSK	-	-	-	-	-	-	TOIE0	-
\$38	TIFR	-	-	-	-	-	-	TOV0	-
\$37	Reserved								
\$36	Reserved								
\$35	MCUCR	-	-	SE	SM	-	-	ISC01	ISC00
\$34	Reserved								
\$33	TCCR0	-	-	-	-	-	CS02	CS01	CS00
\$32	TCNT0	Timer/Counter0 (8 Bit)							
\$31	Reserved								
\$30	Reserved								
\$2F	Reserved								
\$2E	Reserved								
\$2D	Reserved								
\$2C	Reserved								
\$2B	Reserved								
\$2A	Reserved								
\$29	Reserved								
\$28	Reserved								
\$27	Reserved								
\$26	Reserved								
\$25	Reserved								
\$24	Reserved								
\$23	Reserved								
\$22	Reserved								
\$21	WDTCR	-	-	-	-	WDE	WDP2	WDP1	WDP0
\$20	Reserved								
\$1F	Reserved								
\$1E	EEAR	EEPROM Address Register							
\$1D	EEDR	EEPROM Data Register							
\$1C	EECR	-	-	-	-	-	-	EEWE	EERE
\$1B	Reserved								
\$1A	Reserved								
\$19	Reserved								
\$18	PORTB	PORTB	PORTB	PORTB	PORTB	PORTB	PORTB	PORTB	PORTB
\$17	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0
\$16	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0
\$15	Reserved								
\$14	Reserved								
\$13	Reserved								
\$12	PORTD	-	PORTD	PORTD	PORTD	PORTD	PORTD	PORTD	PORTD
\$11	DDRD	-	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0
\$10	PIND	-	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0
\$0F	Reserved								
...	Reserved								
\$09	Reserved								
\$08	ACSR	ACD	-	ACO	ACI	ACIE	-	ACIS1	ACIS0
...	Reserved								
\$00	Reserved								

注意

- これから出てくるデバイスに互換性を持たせるため、予約ビットはアクセスした場合 0 と書きこんでください。予約 I/O メモリには書きこまないで下さい。
- ステータスフラグのいくつかは論理 1 を書きこむことにより消去されます。CBI と SBI 命令が I/O レジスタ中の全ビットに対して作用し、設定状態として読み込まれているフラグに 1 を書きこんでフラグをクリアします。CBI と SBI 命令は \$00 ~ \$1F のレジスタのみに作用します。

AT90S1200

命令一覧

記号 オペランド 説明 動作 作用するフラッグ クロック数

Mnemonics	Operands	Description	Operation	Flags	#Clocks
-----------	----------	-------------	-----------	-------	---------

算術論理命令

ADD	Rd, Rr	Add two Registers	$Rd \leftarrow Rd + Rr$	Z, C, N, V, H	1
ADC	Rd, Rr	Add with Carry two Registers	$Rd \leftarrow Rd + Rr + C$	Z, C, N, V, H	1
SUB	Rd, Rr	Subtract two Registers	$Rd \leftarrow Rd - Rr$	Z, C, N, V, H	1
SUBI	Rd, K	Subtract Constant from Register	$Rd \leftarrow Rd - K$	Z, C, N, V, H	1
SBC	Rd, Rr	Subtract with Carry two Registers	$Rd \leftarrow Rd - Rr - C$	Z, C, N, V, H	1
SBCI	Rd, K	Subtract with Carry Constant from Reg.	$Rd \leftarrow Rd - K - C$	Z, C, N, V, H	1
AND	Rd, Rr	Logical AND Registers	$Rd \leftarrow Rd \cdot Rr$	Z, N, V	1
ANDI	Rd, K	Logical AND Register and Constant	$Rd \leftarrow Rd \cdot K$	Z, N, V	1
OR	Rd, Rr	Logical OR Registers	$Rd \leftarrow Rd \vee Rr$	Z, N, V	1
ORI	Rd, K	Logical OR Register and Constant	$Rd \leftarrow Rd \vee K$	Z, N, V	1
EOR	Rd, Rr	Exclusive OR Registers	$Rd \leftarrow Rd \oplus Rr$	Z, N, V	1
COM	Rd	One's Complement	$Rd \leftarrow \text{FFF} - Rd$	Z, C, N, V	1
NEG	Rd	Two's Complement	$Rd \leftarrow \text{800} - Rd$	Z, C, N, V, H	1
SBR	Rd, K	Set Bit(s) in Register	$Rd \leftarrow Rd \vee K$	Z, N, V	1
CBR	Rd, K	Clear Bit(s) in Register	$Rd \leftarrow Rd \cdot (\text{FFh} - K)$	Z, N, V	1
INC	Rd	Increment	$Rd \leftarrow Rd + 1$	Z, N, V	1
DEC	Rd	Decrement	$Rd \leftarrow Rd - 1$	Z, N, V	1
TST	Rd	Test for Zero or Minus	$Rd \leftarrow Rd \cdot Rd$	Z, N, V	1
CLR	Rd	Clear Register	$Rd \leftarrow Rd \oplus Rd$	Z, N, V	1
SER	Rd	Set Register	$Rd \leftarrow \text{FFF}$	None	1

分岐命令

RJMP	k	Relative Jump	$PC \leftarrow PC + k + 1$	None	2
RCALL	k	Relative Subroutine Call	$PC \leftarrow PC + k + 1$	None	3
RET		Subroutine Return	$PC \leftarrow \text{STACK}$	None	4
RETI		Interrupt Return	$PC \leftarrow \text{STACK}$	1	4
CPSE	Rd, Rr	Compare, Skip if Equal	if $(Rd = Rr)$ $PC \leftarrow PC + 2$ or 3	None	1/2
CP	Rd, Rr	Compare	$Rd - Rr$	Z, N, V, C, H	1
CPC	Rd, Rr	Compare with Carry	$Rd - Rr - C$	Z, N, V, C, H	1
CPI	Rd, K	Compare Register with Immediate	$Rd - K$	Z, N, V, C, H	1
SBRC	Rr, b	Skip if Bit in Register Cleared	if $(Rr(b)=0)$ $PC \leftarrow PC + 2$ or 3	None	1/2
SBRSC	Rr, b	Skip if Bit in Register is Set	if $(Rr(b)=1)$ $PC \leftarrow PC + 2$ or 3	None	1/2
SBIC	P, b	Skip if Bit in I/O Register Cleared	if $(P(b)=0)$ $PC \leftarrow PC + 2$ or 3	None	1/2
SBIS	P, b	Skip if Bit in I/O Register is Set	if $(P(b)=1)$ $PC \leftarrow PC + 2$ or 3	None	1/2
BRBS	s, k	Branch if Status Flag Set	if $(SREG(s) = 1)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRBC	s, k	Branch if Status Flag Cleared	if $(SREG(s) = 0)$ then $PC \leftarrow PC + k + 1$	None	1/2
BREQ	k	Branch if Equal	if $(Z = 1)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRNE	k	Branch if Not Equal	if $(Z = 0)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRCS	k	Branch if Carry Set	if $(C = 1)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRCC	k	Branch if Carry Cleared	if $(C = 0)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRSH	k	Branch if Same or Higher	if $(C = 0)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRLO	k	Branch if Lower	if $(C = 1)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRMI	k	Branch if Minus	if $(N = 1)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRPL	k	Branch if Plus	if $(N = 0)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRGE	k	Branch if Greater or Equal, Signed	if $(N \oplus V = 0)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRLT	k	Branch if Less Than Zero, Signed	if $(N \oplus V = 1)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRHS	k	Branch if Half Carry Flag Set	if $(H = 1)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRHC	k	Branch if Half Carry Flag Cleared	if $(H = 0)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRTS	k	Branch if T Flag Set	if $(T = 1)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRTC	k	Branch if T Flag Cleared	if $(T = 0)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRVS	k	Branch if Overflow Flag is Set	if $(V = 1)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRVC	k	Branch if Overflow Flag is Cleared	if $(V = 0)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRIE	k	Branch if Interrupt Enabled	if $(I = 1)$ then $PC \leftarrow PC + k + 1$	None	1/2
BRID	k	Branch if Interrupt Disabled	if $(I = 0)$ then $PC \leftarrow PC + k + 1$	None	1/2

